

(19)



(10) **LT IP380 A**

(12) **PARAIŠKOS APRAŠYMAS**

(21) Paraiškos numeris: **IP380**

(51) Int. Cl. (2006): **G06F 7/00**

(22) Paraiškos padavimo data: **1993 03 05**

G06F 7/38

(41) Paraiškos paskelbimo data: **1994 12 27**

G06F 7/48

(62) Paraiškos, iš kurios dokumentas išskirtas, numeris: —

G06F 9/302

(86) Tarptautinės paraiškos numeris: —

G06F 9/44

(86) Tarptautinės paraiškos padavimo data: —

G06F 12/00

(85) Nacionalinio PCT lygio procedūros pradžios data: —

G11C 11/412

(30) Prioritetas: **9002558, 1990 08 02, SE**

G11C 11/417

PCT/SE91/00512, 1991 08 01, SE

G11C 11/419

G11C 15/00

(71) Pareiškėjas:

CARLSTEDT ELEKTRONIK AB, Industrivagen 55, S-433 61 Partille, SE

(72) Išradėjas:

Lars Gunnar CARLSTEDT, SE

(74) Patentinis patikėtinis/atstovas:

Reda ŽABOLIENĖ, Advokatės Redos Žabolienės kontora METIDA, Verslo centras VERTAS, Gynėjų g. 16, LT-01109 Vilnius, LT

(54) Pavadinimas:

Vieno bito saugojimo ląstelė

(57) Referatas:

—

Vieno bito saugojimo lastelė

Šiame išradime pateikiama atminties lastelė, saugojanti vieną bitą.

IŠRADIMO PAGRINDIMAS

Įprasta asociatyvioji atmintis turi saugojimo lastelių, kurios padalintos į asociatyvųjį lauką ir į saugojimo lauką. Informacija į asociatyviają atmintį įrašoma be adreso. Saugojimo lastelių laukas paprastai yra sudaroma taip pat, kaip postūmio registre.

Kompiuteris buvo išrastas šio amžiaus penktame dešimtmetyje. Nuo to laiko jis vystosi nepaprastai sparčiai. Nepaisant to, šiuolaikiniai kompiuteriai turi beveik tokia pačia architektūrą kaip ir pirmieji.

Labiausiai patobulinta buvo aparatinė dalis. LDIL (Labai didelio integracijos laipsnio) technikos įdiegimas ir litografijos pasiekimai įgalino pagaminti vieno kristalo kompiuterį, kuris prieš penketą metų buvo pavadintas superkompiuteriu. Matmenys sumažėjo eksponentiškai, ir dabar yra mažesni negu 1 mikrometras. Taktinis dažnis ir aktyvių

tranzistorių skaičius padidėjo tūkstančius ar daugiau kartų. Fizikiniai reiškiniai, matyt, ribos linijų plotį iki 0,2 mikrometrų.

IŠRADIMO TIKSLAS

Pagrindinis išradimo tikslas yra pateikti vieno bito saugojimo ląstelę, pritaikytą asociatyviajai atminčiai, kuri gali veikti kaip aktyvinė kompiuterio dalis ir gali ne tik saugoti informaciją, bet ir vykdyti logines operacijas.

Kitas išradimo tikslas yra pateikti vieno bito saugojimo ląstelę, kurią galima labai tankiai talpinti.

Dar kitas išradimo tikslas yra pateikti vieno bito saugojimo ląstelę, kuri gali būti pagaminta naudojant LDIL technikos priemones (LDIL - Labai didelis integracijos laipsnis).

Pagaliau dar vienas tikslas yra pateikti vieno bito saugojimo ląstelę, kuri būtų optimizuota labai didelio greičio operacijoms.

Vieno bito saugojimo ląstelė, kuri tinka asociatyviajai atminčiai, yra aprašyta US-A-3,634,833, ir kuri turi triggerį, sudarytą iš dviejų daugiaemiterių tranzistorių. Ši ląstelė turi palyginimo galimybių. Tačiau ją valdyti ir tikrinti galima tik pro tranzistorių emiterius, o tai daro ląstelę ganėtinai jautrią išoriniams trikdžiams.

Vieno bito saugojimo ląstelė, turinti triggerį ir pro bazes valdomus tranzistorius, yra aprašyta JP-60-273712. Čia

atminties ląstelė yra naudojama tik duomenims įrašyti į ją ir skaityti iš jos, todėl ji nenaudotina asociatyviajai atminčiai, nes neturi jokių palyginimo galimybių. Įrašymas ir skaitymas yra valdomas maitinimo linijos skirtingais potencialais ir žemės linijos skirtingais potencialais, priklausomai nuo to, ar yra vykdoma įrašymo ar skaitymo operacija. Įrašymo ir skaitymo rezultatai yra paduodami dviem laidininkais, turinčiais tarpusavyje skirtingus įtampų lygius. Tai reiškia, kad visi keturi atminties ląstelės ryšio laidininkai turi būti valdomi ir/arba tikrinami.

Atminties ląstelė, aprašyta FR-A-,091,964, pritaikyta tik įrašymui ar skaitymui, todėl netinka asociatyviojo tipo atminčiai. Ląstelė turi sudėtingą triggerį, sudarytą iš dviejų tranzistorių ir daugybės rezistorių. Ji turi keturis ryšio laidininkus, vienas iš jų yra nuolat prijungtas prie maitinimo įtampos, o kitas - prie žodžio linijos, kurią valdo žodžio selekcijos grandinė. Dvi grandinės yra prijungtos prie dviejų likusių ryšio laidininkų: viena grandinė yra skirta įrašyti į ląstelę, o kita - ląstelės, parinktos žodžio linijos pagalba, turiniui skaityti.

IŠRADIMO SANTRAUKA

Išradimas nagrinėja asociatyviajai atminčiai skirtą vieno bito saugojimo ląstelę, kurioje yra saugojamas dydis V_{store} , kuris gali būti "teisingas" arba "neteisingas", ląstelė turi tokią struktūrą, kad ji yra nustatoma kelioms skirtingoms funkcinėms būsenoms ir turi pirmąjį ryšį, kuris yra nuolat prijungtas prie maitinimo šaltinio įtampos, antrąjį, trečiąjį ir ketvirtąjį ryšį,

kuriems galima nustatyti mažiausiai tris skirtingas valdymo būsenas, kiekviena valdymo būsenos kombinacija antrajame, trečiajame ir ketvirtajame ryšyje nustato saugojimo ląstelės individualią funkcinę būseną - vieną iš visų galimų.

Atminties įrenginys, kurį galima pagaminti naudojant LDIL techniką, sudarytas iš:

vieno bito atminties ląstelės, kurią sudaro:

pirmasis, antrasis, trečiasis ir ketvirtasis ryšys;

trigeris, sudarytas iš kryžmai sujungtos tranzistorių poros, kurie turi vieną emiterį arba santakos elektrodą ir susijusias apkrovas, turintis savo maitinimo įtampą tarp vadinamo pirmojo ir antrojo ryšio ir iš kiekvienos pusės valdomas per vadinamus trečiąjį ir ketvirtąjį ryšius, turintis pirmąjį ir antrąjį mazgus, nustatomus tarpusavyje skirtingais įtampos lygiais, viena iš įtampų lygių kombinacijų, nusakanti saugomo bito vertę, - "teisinga", o kita saugomo bito vertė - "klaidinga", ir turintis pirmąją atskiriančiąją lyginimo priemonę, įjungtą tarp vadinamo trečiojo ryšio ir vadinamo pirmojo mazgo, ir antrąją atskiriančiąją lyginimo priemonę, įjungtą tarp vadinamo ketvirtojo ryšio ir vadinamo antrojo mazgo;

be to, atminties įrenginį sudaro:

pirmoji priemonė, sujungta su vadinamu trečiuoju ir ketvirtuoju ryšiu, ir

antroji priemonė, sujungta su antruoju ryšiu;

vadinamam pirmajam ryšiui esant nuolat prijungtam prie maitinimo šaltinio įtampos, vadinamas antrasis, trečiasis ir ketvirtasis ryšys gali įgauti skirtingą būsenų rinkinį priklausomai nuo pirmosios ir antrosios priemonių taip, kad vadinama ląstelė gali užimti tam tikrą funkcinę būseną iš funkcinų

būsenų rinkinio, iš kurių kiekviena atitinka tam tikrą kombinaciją vadinamų antrojo, trečiojo ir ketvirtąjo ryšių būsenų iš jų būsenų rinkinio;

funkcinė būseną, kai ląstelės būseną palyginama su įėjimo duomenimis, vadinama pirmoji priemonė paduoda porą komplementinių įėjimo signalų į trečiąjį ir ketvirtąjį ryšį, ir vadinama antroji priemonė turi trečiąją priemonę antrajam ryšiui iškrauti iki atraminės įtampos lygio ir ketvirtą priemonę įtampos pokyčiui antrajame ryšyje nustatyti.

Atminties įrenginys, kuriame tuose vadinamuose būsenų rinkiniuose vadinamos ląstelės antrasis, trečiasis ir ketvirtasis ryšiai turi "aukštą" lygį, "žemą" lygį, srovė neteka į ląstelę, srovė teka į ląstelę vadinamame trečiajame ir ketvirtajame ryšyje, ir taip pat srovė teka iš ląstelės vadinamame antrajame ryšyje, "aukštas" ir "žemas" lygis yra susietas su tuo, ar įtampa tampa teigiama ar neigiama, t.y. susietas su tuo, ar įtampa vadinamame pirmajame ryšyje yra teigiama ar neigiama žemės atžvilgiu.

Antrasis ryšys yra parenkantysis ryšys, o vadinamas trečiasis ir ketvirtasis ryšys (d , d^*) turi signalų, kurių lygiai invertuoti vienas kito atžvilgiu, kai įrašoma ar skaitoma ląstelės grandinė.

Ji yra valdoma ciklu, turinčiu dvi fazes, pirmoji - įkrovos fazė, kurioje vadinami antrasis, trečiasis ir ketvirtasis ryšys yra prijungtas prie antrinės įtampos, kurios dydis yra tarp vadinamo pirmojo ryšio įtampos ir žemės, ir antroji - veiklos fazė, kuri nustato ląstelės nusakytas funkcines būsenas; "aukštasis" ir "žemasis" lygis vertinamas priklausomai nuo vadinamos antrinės įtampos, vadinamas "aukštasis" ir "žemasis" lygis yra susietas su

tuo, ar grandinėje įtampa tampa teigiama ar neigiama.

Pagal išradimą vieno bito atminties ląstelė gali vykdyti daug funkcijų, nors ją tesudaro keturi ryšiai, iš kurių trys yra valdomi. Ji turi labai mažai komponentų. Tai leidžia padaryti kompaktišką atminties prietaisą, turintį labai daug vieno bito atminties ląstelių.

Rėdukcinio tipo kompiuteriui ypač tinka asociatyvioji atmintis, kuriai gali būti taikoma šiame išradime aprašyta vieno bito saugojimo ląstelė. Asociatyvioji atmintis su tokia vieno bito saugojimo ląstele yra aprašyta PCT pareiškime, turinčiame publikacijos Nr. WO 92/02932 ir susijusiame su šiuo išradimu.

TRUMPAS BRĖŽINIŲ APRAŠYMAS

Išsamesniam šio išradimo supratimui ir kitiems tikslams toliau pateikiamas jo aprašymas kartu su brėžiniais, kuriuose:

1 PAV. pateikiama pirmoji vieno bito saugojimo ląstelės saugojimo ląstelėje schema

ir

2 PAV. pateikiama antroji vieno bito saugojimo ląstelės saugojimo ląstelėje ir valdymo bei nuskaitymo grandinių, prijungtų prie jos, schema.

PATEIKTŲ SCHEMŲ APRAŠYMAS

Pagal šį išradimą vieno bito saugojimo ląstelė, toliau vadinama bito ląstele, yra bito ląstelė saugojimo ląstelės saugojimo

lauke. Saugojimo ląstelę sudaro daug bito ląstelių, valdomų išorėje sudaryta skaitmenine informacija, kuri paskirstoma visoms bito ląstelėms per informacinę magistralę, kuri sujungta su valdymo ir nuskaitymo grandinėmis. Informacija per išorinius ryšius yra įrašoma į ląsteles. Ląstelėse esanti informacija yra skaitoma per išorinius ryšius.

Kiekvieno saugojimo lauko kiekvieną bito ląstelę gali valdyti saugojimo lauko valdymo dalis taip, kad bito ląstelė galėtų vykdyti vieną iš šių operacijų:

poilsis (rest)	kai kiekviena bito ląstelė laiko savyje saugojamo bito reikšmę,
skaityti (read)	bito ląstelės saugomoji bito reikšmė yra skaitoma,
rašyti (rašyti)	bito reikšmė yra įrašoma į bito ląstelę,
palyginti (compare)	pagal šį išradimą duomenų žodis, sudarytas iš bitų ir saugomas bitų ląstelėse, yra palyginamas su kitu duomenų žodžiu.

Valdymas priklauso nuo loginių sąlygų. Tai nėra šio išradimo dalis, ir todėl neaprašytas šiame pareiškime.

Šiame išradime bito ląstelės schema, kuri parodyta 1 PAV., yra prijungiama prie išorinio valdymo dviem laidininkais d ir d*. Laidininkas acc, kuris sujungtas su valdymo dalimi (neparodyta) tarpusavyje sujungia visas bito ląsteles saugojimo ląstelėje, kuri turi, pavyzdžiui, 38 bito ląsteles. Visos bito ląstelės saugojimo ląstelėje yra valdomos laidininko acc signalais. Kiti

laidininkai d ir d^* , kurie prijungti prie bito ląstelės, yra prijungti ir prie atitinkamų bito ląstelių kitose atminties, kuri turi didelį kiekį saugojimo ląstelių, saugojimo ląstelėse.

Numatyta, kad visa atmintis gali būti realizuota, naudojant LDIL technikos priemones (LDIL - Labai didelis integracijos laipsnis). Kiekviena bito ląstelė suprojektuota taip, kad gali būti realizuota, naudojant LDIL technikos priemones, ir yra optimizuota, kad būtų galima labai tankiai talpinti didelį kiekį bito ląstelių. Kaip matyti iš 1 PAV., bito ląstelė turi tik keturius ryšius, t.y. pirmąjį ryšį V_{cc} , kuris nuolatosis sujungtas su maitinimo šaltinio įtampa, antrąjį, trečiąjį ir ketvirtąjį ryšį acc , d , d^* , kiekvienas iš jų gali įgauti mažiausiai tris skirtingas valdymo būsenas. Apie tai bus toliau smulkiai aprašyta.

Bito ląstelės schema, kuri parodyta 1 PAV., yra keturių KMOP tranzistorių ląstelė. Parodytoje schemoje tranzistoriai yra n-tipo. Tačiau bito ląstelės grandinės komponentės gali būti kitų tipų, kurie bus toliau nurodyti komponentių sąrašė. Keturių KMOP tranzistorių ląstelė yra statinė ir turi varžinę apkrovą. Ląstelė yra iš abiejų pusių valdomas triggeris. Tarp parinkimo laidininko acc ir maitinimo laidininko V_{cc} yra du nuoseklūs jungimai, kiekvienas iš jų sudarytas iš MOP LET ištakas/santaka kanalo ir apkrovos $T1$, $L1$ bei $T2$, $L2$, atitinkamai, o tie jungimai yra sujungti lygiagrečiai. Tranzistoriaus $T1$ santaka yra sujungta su tranzistoriaus $T2$ užtūra, o tranzistoriaus $T2$ santaka yra sujungta su tranzistoriaus $T1$ užtūra. Diodas $D1$ įjungtas tarp laidininko d ir tarpjungio $n1$, kuris yra tranzistoriaus $T1$, apkrovos $L1$ ir tranzistoriaus $T2$ užtūros sujungimo vieta. Diodas

D2 įjungtas tarp laidininko d^* ir tarpjungio n_2 , kuris yra tranzistoriaus T2, apkrovos L2 ir tranzistoriaus T1 užtūros sujungimo vieta. Diodai D1 ir D2 yra padaryti iš MOP LET, kurių santaka sujungta su užtūra, ir tos sujungimo vietos laidininku prijungtos atitinkamai prie d ir d^* .

Ypatinga grandinės elementų savybė yra ta, kad diodai D1 ir D2 yra elementai, pro kuriuos srovė teka tik viena kryptimi laidininkų d ir d^* atžvilgiu, ir, kad tranzistoriai yra aktyvūs elementai, kurių srovė gali būti valdoma, keičiant jų užtūrų potencialus. Tarpjungiai n_1 ir n_2 yra tokie mazgai, kurių potencialai, susieti su vieno bito informacija, yra saugomi. Kiekviena apkrova yra elementas, kuris elgiasi panašiai kaip rezistorius.

Kaip parodyta 1 PAV. duotoje schemoje, įtampa V_{cc} turi aukštą potencialą. Diodai D1 ir D2 yra nukreipti taip, kad srovė tekėtų iš laidininkų d arba d^* atitinkamai į mazgus n_1 arba n_2 . Aktyviojo elemento T1 arba T2 varža atitinkamai sumažėja, kai potencialas jų užtūros elektrode padidėja. Tuo būdu mazgo ir jo santakos potencialas sumažėja. Tačiau kitose schemose potencialai ir srovės gali būti parinktos priešingų krypčių negu tos, kurios parodytos taip, kaip schemoje 1 PAV.

1 PAV. grandinės komponentės gali būti įvairiai parinktos. Diodai D1 ir D2 gali būti parinkti iš šių komponentių:

- (1). n -kanalo MOP LET, kuriame santaka ir užtūra yra tarpusavyje sujungtos (kai įtampos teigiamos),
- (2). p -kanalo MOP LET, kuriame santaka ir užtūra yra tarpusavyje sujungtos (kai įtampos neigiamos),

- (3). pn-diodas (kai įtampos teigiamos, kai neigiamos įtampos su atvirkščiai įjungtu diodu),
- (4). Šotki-diodas (kai įtampos teigiamos, kai neigiamos įtampos su atvirkščiai įjungtu diodu).

Kaip aktyvūs elementai T1 ir T2 gali būti naudojami šios komponentės:

- (1). n-kanalo MOP LET (kai įtampos teigiamos),
- (2). p-kanalo MOP LET (kai įtampos neigiamos),
- (3). npn tranzistorius (kai įtampos teigiamos),
- (4). pnp tranzistorius (kai įtampos neigiamos).

Kaip apkrovos L1 ir L2 gali būti naudojami šios komponentės:

- (1). rezistorius.
- (2). praturtinto tipo n-kanalo MOP LET, kurio santaka ir užtūra tarpusavyje sujungtos (kai įtampos teigiamos),
- (3). praturtinto tipo p-kanalo MOP LET, kurio santaka ir užtūra tarpusavyje sujungtos (kai įtampos neigiamos),
- (4). nuskurdinto tipo n-kanalo MOP LET, kurio santaka ir užtūra tarpusavyje sujungtos (kai įtampos teigiamos),
- (5). nuskurdinto tipo p-kanalo MOP LET, kurio santaka ir užtūra tarpusavyje sujungtos (kai įtampos neigiamos),
- (6). n-kanalo MOP LET, kurio užtūra yra valdantysis elektrodas, o ištakas ir santaka - valdomieji elektrodai (kai įtampos teigiamos),
- (7). p-kanalo MOP LET, kurio užtūra yra valdantysis elektrodas, o ištakas ir santaka - valdomieji elektrodai (kai įtampos neigiamos),
- (8). npn tranzistorius, kurio bazė yra valdantysis elektrodas, o emiteris ir kolektorius - valdomieji elektrodai (kai įtampos teigiamos),

(9). pnp tranzistorius, kurio bazė yra valdantysis elektrodas, o emiteris ir kolektorius - valdomieji elektrodai (kai įtampos neigiamoms).

Kai kalbama apie teigiamas ir neigiamas įtampas, yra laikoma, kad V_{cc} yra atitinkamai teigiama arba neigiama žemės atžvilgiu. Terminai "žema" ir "aukšta" įtampa, kurie naudojami toliau, susieti su tuo, ar įtampos vadinamoje bito ląstelėje turi teigiama ar neigiama eiga, t.y. susieti su tuo, ar įtampa V_{cc} vadinamame pirmajame ryšyje yra teigiama ar neigiama žemės atžvilgiu.

Bitų ląstelės grandinės antroji schema kartu su bito ląstelės d , d^* ir acc laidininkų valdikliais yra parodyta 2 PAV. Elementai, kurie atitinka 1 PAV. parodytus elementus, turi tuos pačius žymėjimus. 2 PAV. bito ląstelė 7' apibrėžta brūkšnine linija. Apkrova yra atitinkamai MOP LET I1 ir I2 ištakas/santaka kanalai, kurie šioje schemoje parodyti, yra p-tipo, t.y. priešingo tipo negu tranzistorių T1 ir T2, kurie schemoje yra n-tipo. Tranzistoriaus I1 užtūra yra prijungta prie mazgo n_2 , o tranzistoriaus I2 užtūra yra prijungta prie mazgo n_1 .

Kalbant apie abi bito ląstelės schemas, kurios parodytos 1 PAV. ir 2 PAV., galima pasakyti, kad bito ląstelė gali saugoti reikšmę V_{store} , ir ši reikšmė būna "teisinga" arba "neteisinga". Bitų ląstelės struktūra yra tokia, kad galima nustatyti kelias jos būsenas, paduodant skirtingus potencialus į acc , d ir d^* laidininkus.

Valdymo būsenos yra: aukštasis lygis, žemasis lygis, srovė iš

visų laidininkų į ląstelę ir srovė į acc laidininką iš ląstelės. Laidininkas acc yra parenkantysis laidininkas, ateinantis iš dalies 8 ir sujungtas su visomis bito ląstelėmis 7' saugojimo ląstelėje. Trečio ir ketvirto laidininko d ir d* signalai yra invertuoti vienas kito atžvilgiu, ląstelės skaitymo ar rašymo metu parenkantysis laidas acc yra ŽEMAS.

Valdymo grandinė ir nuskaitymo stiprintuvas yra dalyje 8, kuri 2 PAV. apvedžiota brūkšnine linija. Parenkančiojo laidininko acc valdymas yra formuojamas dalyje 8, kuri savo ruožtu yra valdoma iš išorės, pavyzdžiui, valdoma kompiuterio, kuris duoda įtampas V_r ir V_3 ir įkrovos signalą $prech$. Pirmojo tranzistorius T_3 , kuris šioje schemoje yra n-tipo, ištakas yra prijungtas prie įtampos V_r , jo santaka prie parenkančiojo laidininko acc visose bito ląstelėse 7' saugojimo ląstelėje ir jo užtūra gauna įkrovos signalą $prech$, kuris gali būti taktinis signalas. Antrojo tranzistorius T_4 , kuris yra n-tipo, ištakas yra prijungtas prie įtampos $0V$, jo santaka - prie parenkančiojo laidininko acc visose bito ląstelėse 7' saugojimo ląstelėje ir jo užtūra gauna išorinį valdymą V_3 . Kai įtampa V_3 bus aukšta, parenkančiajame laidininke acc bus nustatyta įtampa $0V$. Kaip jau minėta aukščiau, laidininkas acc yra prijungtas prie visų bito ląstelių saugojimo ląstelėje, kurią, pavyzdžiui, sudaro 38 bitų ląstelės, todėl visos bito ląstelės bus valdomos laidininko acc. Pirmoje valdymo fazėje, t.y. įkrovos fazėje, laidininkas acc yra įkraunamas, sudarant MOP LET T_3 laidžią būseną, dėl to laidininke acc nusistato įtampa V_r . Kitoje fazėje signalas V_3 , būdamas arba aukštas arba žemas, priklausomai nuo to ar yra tikrinama žema ar aukšta įtampa laidininke acc, valdo MOP LET T_4 . Laidininko acc įtampa yra stiprinama stiprintuve AMP ir perduodama į išorines

grandinės tolimesnėms operacijoms. Valdymo signalų padavimas į dalį 8 ir į valdymo dalį 9, kuri toliau aprašyta, šių grandinių įėjimo ir išėjimo signalų naudojimas nėra šio išradimo tikslas, todėl toliau nebus aprašomi.

Bito ląstelės laidininkų d ir d^* valdymo ir nuskaitymo grandinės 9 schema yra parodyta 2 PAV., kuri taip pat apvedžiota brūkšnine linija. Tačiau pažymime tai, kad grandinė 9 iliustruoja tik vieną laidininkų d ir d^* valdymo ir nuskaitymo galimybę.

Laidininko d įrašymo grandinę sudaro tranzistorių T5 ir T6 pirmoji pora, schemoje pirmasis tranzistorius yra n-tipo, o antrasis - p-tipo, jų santakos sujungtos su laidininku d , ir ši pora sudaro įtampos daliklį. Tranzistoriaus T5 ištakas prijungtas prie potencialo V_r , o jo užtūra veikia įkrovos signalas $prech$. Tranzistoriaus T6 santaka prijungta prie potencialo V_{cc} , jo užtūra valdo signalas V_4 , kuris artės prie žemo lygio, kai potencialas V_{cc} veiks laidininką d , kaip bus paaiškinta toliau. Laidininko d įrašymo grandinę taip pat sudaro nuoseklus p-tipo tranzistoriaus T9 ir n-tipo tranzistoriaus T10 ištakos/santakos kanalų jungimas, kuris įjungtas tarp maitinimo šaltinio įtampos V_{cc} ir santakos n-tipo tranzistoriaus T11, kurio ištakas sujungtas su žeme, o jo užtūra - su išorinio valdymo įėjimu WRITE. Tranzistorių T9 ir T10 santakų sujungimas kartu su tranzistoriaus T6 užtūra suformuoja įtampą V_4 . Tranzistoriaus T9 užtūra veikia invertuotas įkrovos signalas $prech^*$, prijungiantis tranzistoriaus T6 užtūrą prie maitinimo įtampos V_{cc} per laidųjį tranzistorių T9 įkrovos fazės metu.

Laidininko d^* įrašymo grandinę sudaro tranzistorių T7 ir T8

antroji pora, schemoje pirmasis tranzistorius yra n-tipo, o antrasis - p-tipo, jų santakos sujungtos su laidininku d^* , ir ši pora sudaro įtampos daliklį. Tranzistoriaus T7 ištakas prijungtas prie potencialo V_r , o jo užtūrą veikia įkrovos signalas $prech$. Tranzistoriaus T8 santaka prijungta prie potencialo V_{cc} , jo užtūrą valdo signalas V_5 , kuris artės prie žemo lygio, kai potencialas V_{cc} veiks laidininką d^* .

Laidininko d^* įrašymo grandinę taip pat sudaro nuoseklus p-tipo tranzistoriaus T12 ir n-tipo tranzistoriaus T13 ištakos/santakos kanalų jungimas, kuris įjungtas tarp maitinimo šaltinio įtampos V_{cc} ir santakos n-tipo tranzistoriaus T11. Tranzistorių T12 ir T13 santakų sujungimas kartu su tranzistoriaus T8 užtūra suformuoja įtampą V_5 . Tranzistoriaus T12 užtūrą veikia invertuotas įkrovos signalas $prech^*$, prijungiantis tranzistoriaus T8 užtūrą prie maitinimo įtampos V_{cc} per laidųjį tranzistorių T12 įkrovos fazės metu.

Išorinis laidininkas IN/OUT, kuris skirtas įvedimui ir išvedimui, yra sujungtas su dviem trijų būsenų invertoriais. Vienas iš tų trijų būsenų invertorių, kurio išėjimas sujungtas su laidininku IN/OUT, turi nuosekliai sujungtus du n-tipo tranzistorių T14, T15 ir du p-tipo tranzistorių T16, T17 ištakas/santaka kanalus. Tranzistoriaus T16 užtūra yra sujungta su išorinio valdymo laidininku, paduodančiu signalą $bitin$, o tranzistoriaus T15 užtūrą valdo invertuotas signalas $bitin^*$. Antras iš tų trijų būsenų invertorių, kurio išėjimas sujungtas su laidininku IN/OUT, turi nuosekliai sujungtus du n-tipo tranzistorių T18, T19 ir du p-tipo tranzistorių T20, T21 ištakas/santaka kanalus. Tranzistoriaus T19 užtūra yra sujungta su išorinio valdymo

laidininku, paduodančiu signalą bitin, o tranzistoriaus T20 užtūrą valdo invertuotas signalas bitin*. Antrojo trijų būsenų invertoriaus išėjimas yra sujungtas su tranzistoriaus T13 užtūra ir per invertorių INV su tranzistoriaus T10 užtūra.

Skaitymo stiprintuvas sudarytas iš n-tipo tranzistoriaus T22, kurio ištakas sujungtas su žeme, jo užtūra sujungta su nuolatine įtampa Vbias, kuri sudaro tranzistoriaus T22 laidžią būseną ir veikia kaip srovės generatorius, jo santaka sujungta su viena dviejų nuosekliai sujungtų n-tipo ir p-tipo tranzistorių T23, T24 ir T25, T26 ištakas/santakas kanalų, atitinkamai, lygiagretaus jungimo vieta, o šio lygiagretaus jungimo kita vieta sujungta su maitinimo įtampa Vcc. Tranzistorių T24 ir T26 užtūros yra tarpusavyje sujungtos, o šio jungimo vieta sujungta su tranzistorių T23 ir T24 santakų tarpusavio jungimo vieta. Tranzistoriaus T23 užtūra yra sujungta su bito ląstelės 7' laidininku d, o tranzistoriaus T25 užtūra sujungta su tos pačios ląstelės laidininku d*.

Kiekviename taktiniame periode signalai prech ir prech* yra padalinti į įkrovos fazę, kurioje signalas prech yra aukštas, ir darbo fazę, kurioje signalas prech yra žemas, o kiti išoriniai valdymo signalai nusako, kokia operacija turi būti daroma. Tuo būdu įkrovos fazėje laidininkai d, d* ir acc yra atitinkamai prijungiami prie įtampos Vr per tranzistorius T5, T7 ir T3.

Signalai bitin ir bitin* naudojami, kai duomenys siunčiami į bito ląstelę 7' arba iš jos. Kai signalas bitin žemas, o signalas bitin* aukštas, tada duomenys siunčiami iš bito ląstelės per pirmąjį trijų būsenų invertorių į laidininką IN/OUT. Kai signalas

bitin aukštas, o signalas bitin* žemas, tada duomenys iš laidininko IN/OUT siunčiami į bito ląstelę per antrąjį trijų būsenų invertorių.

Antroje skaitymo operacijos fazėje, po laidininkų d , d^* ir acc įkrovos įtampa V_r , laidininkai d ir d^* paliekami laisvi, o laidininkas acc prijungiamas prie įtampos $0V$, paduodant aukštą įtampą V_3 , kuri padaro tranzistorių T_4 laidų. Tai turi įtakos mazgui, turinčiam žemiausią potencialą, pavyzdžiui n_1 , jo potencialas sumažėja iki tam tikro dydžio tarp V_r ir $0V$. Dėl šios priežasties srovė teka iš laidininko d per mazgą n_1 į laidininką acc . Ši srovė iškrauna laidininką d , t.y. laidininko d įtampa sumažėja. Ši įtampos sumažėjimą fiksuoja stiprintuvas, sudarytas iš tranzistorių $T_{22}-T_{26}$. Skaitymo rezultatas atsiranda tranzistorių T_{25} ir T_{26} santakų sujungimo vietoje ir veikia trijų būsenų invertoriaus, sudaryto iš tranzistorių $T_{14}-T_{17}$, įėjimą. Kai signalas bitin yra žemas, o signalas bitin* yra aukštas, nuskaityta ir sustiprinta bito vertė perduodama įėjimo/išėjimo laidininką IN/OUT. Svarbu tai, kad antroje fazėje laidininkai d ir d^* nėra aktyviai valdomi, todėl įtampa nesumažėja nė viename iš šių laidininkų.

Skaitymo operacijos pradžioje abiem laidininkams d ir d^* yra suteikiamas potencialas V_r . Abu laidininkai d ir d^* realiai įgauna potencialą V_r , bet vieno iš jų potencialas pradeda kristi, nes dėl srovės tekėjimo į ląstelę ("current in") iškraunamas vienas iš laidininkų d arba d^* . Tuo būdu potencialas V_r čia yra įvertinamas kaip "žemas", žemas potencialas bus mažesnis negu "žemas". Iš laidininkų d ir d^* būsenų sprendžiama apie skaitomas vertes. Jei laidininko d potencialas mažesnis už laidininko d^*

potencialą, fiksuojama būseną FALSE (neteisingas), jei laidininko d potencialas didesnis už d^* - TRUE (teisingas). Operacijų: neįrašyti (don't write), rašyti neteisingą (write false), rašyti teisingą (write true) ir nelyginti (don't comp.) metu potencialai laidininkuose d ir d^* neteikia jokios informacijos.

Antroje rašymo operacijos fazėje, po laidininkų d, d^* ir acc įkrovos įtampa V_r , o laidininkas acc prijungiamas prie įtampos 0V, paduodant į tranzistoriaus T4 užtūrą aukštą įtampą V_3 , kuri padaro tranzistorių T4 laidų. Vertė, kuri turi būti saugoma, gaunama iš įėjimo /išėjimo laidininko IN/OUT. Signalai aukštas bitin ir žemas bitin* veikia antrąjį trijų būsenų invertorių, sudarytą, iš tranzistorių T18-T21 ir šis perduoda vertę iš laidininko IN/OUT į invertoriaus išėjimą. Kai valdymo signalas "rašyti" (write), kuris paduodamas į tranzistoriaus T11 užtūrą, yra aukštas, šis tranzistorius tranzistorių T10 ir T13 ištakus prijungia prie 0V.

Kai įrašomas "0" arba neteisingas, aukštas signalas iš antrojo trijų būsenų invertoriaus, sudaryto iš tranzistorių T18-T21, nustato tranzistoriaus T13 laidžią būseną, tada įtampa V_5 pasidaro žema, o tranzistorius T8 pasidaro laidus ir laidininkas d^* yra prijungiamas prie įtampos V_{cc} , t.y. laidininkas d^* įgyja aukštą lygį. Invertuotas signalas iš antrojo trijų būsenų invertoriaus veikia tranzistoriaus T10 užtūrą, ir kai šis signalas yra žemas, tranzistorius T10 pasidaro nelaidus, todėl įkrovos fazėje mazge V_4 sudaryta įtampa lygi maitinimo šaltinio įtampai V_{cc} laikysis. Tranzistorius T6 bus nelaidus, ir įtampa V_r , kuri įkrovos fazėje buvo prijungta per tranzistorių T5 prie laidininko d, laikysis.

Kai įrašomas "1" arba teisingas, žemas signalas iš antrojo trijų būsenų invertoriaus, sudaryto iš tranzistorių T18-T21, valdys per invertorių INV įrašymo grandinę T5, T6, T9, T10, nustatančią laidininke d aukštą įtampą V_{cc} , o tuo tarpu įrašymo grandinė T7, T8, T12, T13 laikys laidininke d^* įtampą V_r , kuri buvo nustatyta įkrovos fazės metu.

Kaip matyti iš aukščiau pateikto pavyzdžio, 2 PAV. parodyti bito ląstelės mazgai n1 ir n2 veikia taip. Antroje operacijos ciklo fazėje arba vienas iš mazgų n1, n2, arba abu mazgai yra įkraunami arba iškraunami priklausomai nuo to, kuris valdymo signalas V3, V4 ar V5 yra naudojamas, t.y. tada, kai laidininke acc yra nustatyta įtampa 0V, arba kai viename (arba abiejuose) laidininkuose d ir d^* yra nustatyta įtampa V_{cc} .

Kaip buvo minėta anksčiau, kiekvienas operacijos ciklas yra sudarytas iš įkrovos periodo ir darbo periodo. Tuo būdu, kaip bus paaiškinta toliau, laidininke acc bus aukštas lygis, kai signalas V3 nevaldys tranzistoriaus T4, nustatančio įtampą 0V laidininke acc darbo periodo metu. Taip pat, kaip bus paaiškinta toliau, kai laidininkuose d ar d^* yra nustatytas žemas lygis, tai valdymo signalas, kuris yra mazguose V4 arba V5 ir yra lygi įtampai V_{cc} , nevaldo tranzistoriaus T6 arba tranzistoriaus T8, esančių kaupimo būsenoje, nes darbo būsenoje įtampa V_{cc} yra didesnė už įtampą V_r , esančią laidininkuose d ar d^* . Tačiau, kai laidininke d arba d^* yra nustatytas aukštas lygis, tai tranzistorius T6 arba T8 bus valdomas, o įtampa V_{cc} bus prijungtą prie vieno arba kito laidininko.

Saugojimo ląstelės plotas gali būti didesnis, pavyzdžiui, gali turėti 256 bito ląsteles, tai reiškia, kad kiekviena tranzistorių T5, T6 ir T7, T8 pora atitinkamai yra prijungta prie laidininko, aptarnaujančio vieną bito ląstelę visose saugojimo ląstelėse. Taip yra kiekvienai iš 256 bito ląstelių. Todėl tranzistoriaus matmenys turi būti pritaikyti prie viso jungiamojo laidininko talpos ir pageidaujamo darbo greičio.

Įtampą V_r gali sukurti suprastintas inventorių, kad palaikytų žinomą ryšį tarp V_r ir invertuojančio valdymo stiprintuvo. Valdymo dalies parenkančiosios grandinės valdys bito ląsteles ir priiminės informaciją iš bito ląstelių.

Valdymo būsenos nustato šias funkcines būsenas:

rest (poilsis) - kai ląstelėje yra saugoma vertė V_{store} ,

read false (skaityti neteisingą) - kai gali būti skaitoma vertė V_{store} yra neteisinga,

read true (skaityti teisingą) - kai gali būti skaitoma vertė V_{store} yra teisinga,

don't read (neskaityti) - kai ląstelėje yra saugoma vertė V_{store} ,

write false (rašyti neteisingą) - kai rašoma vertė V_{store} yra nustatyta "neteisinga",

write true (rašyti teisingą) - kai rašoma vertė V_{store} yra nustatyta "teisinga",

don't write (nerašyti) - kai ląstelėje yra saugoma vertė V_{store} ,

comp. false (lyginti neteisingą) - kai saugoma vertė V_{store} yra lyginama su "neteisinga" verte,

comp. true (lyginti teisingą) - kai saugoma vertė V_{store} yra lyginama su "teisinga" verte,

don't comp (nelyginti) - kai laštelėje yra saugoma vertė V_{store} .

Toliau pateikiama skirtingų bito laštelės operacijų režimų operacijų lentelė:

Operacijos režimas	acc	d	d*
rest (poilsis)	aukštas	žemas	žemas
read false (skait. neteis.)	žemas	srovė į	žemas
read true (skait. teis.)	žemas	žemas	srovė į
don't read (neskaityti)	aukštas	sutartinis	sutartinis
write false (raš. neteis.)	žemas	žemas	aukštas
write true (raš. teis.)	žemas	aukštas	žemas
don't write (nerašyti)	aukštas	sutartinis	sutartinis
comp. false (lyg. neteis.)	sutartinis	žemas	aukštas
comp. true (lyg. teis.)	sutartinis	aukštas	žemas
don't comp. (nelyginti)	sutartinis	žemas	žemas

Laidininke acc bus būseną "srovė iš", jei, vykdant operacijas comp. false (lyginti neteisingą) ir comp. true (lyginti teisingą), nėra sutapimo, t.y. lyginimo rezultatas yra SKIRTINGAS.

Laidininke acc (parenkančiajame laidininke), vykdant operacijas comp. false (lyginti neteisingą) ir comp. true (lyginti teisingą), gaunamas lyginimo rezultatas. Laidininkas acc yra įkraunamas iki V_r , įėjimo duomuo yra paduodamas į laidininką d, o jo priešingavertė - į laidininką d*. Jei bito laštelė išimena vertę, nesutampančią su įėjimo duomeniu, laidininkas acc bus įkraunamas per vieną iš diodų D1 arba D2 ir per atitinkamą n-tipo tranzistorių T1 arba T2. Tą detektuoja dalies 8 stiprintuvas. Kai

yra fiksuojamas sutapimas (FIT), laidininkas acc laiko potencialą Vr.

Junginiai "srovė į" ir "srovė iš" reiškia, kad krūvis, laikui bėgant, atitinkamai juda į arba iš tikrinamo laidininko. Tai paprastai įvyksta laidininką atitinkamai nustatčius į AUKŠTĄ arba ŽEMĄ lygį ir iš operacijos REST pereinant į reikiamą būseną. Srovė atitinkamai iškrauna arba įkrauna tikrinamą laidininką. Kai laidininke nėra srovės, krūvis nepernešamas, todėl, laikui bėgant, neatsiranda jokio įtampos pokyčio.

Aprašius šį išradimą pagal pateiktas schemas, tie, kurie įgudę šiuose dalykuose, suvoks, kad įvairūs ekvivalentiški elementų pakeitimai gali būti daromi nenutolstant nuo tikrosios šio išradimo esmės ir tikslų. Be to, išradimo patobulinimai gali būti daromi ir nesilaikant išradime pateiktų esminių pamokymų.

IŠRADIMO APIBRĖŽTIS

1. Atminties įrenginys, kurį galima pagaminti naudojant LDIL techniką, sudarytas iš:

vieno bito atminties ląstelės, kurią sudaro:

pirmasis, antrasis, trečiasis ir ketvirtasis ryšys (V_{cc} , acc, d, d^*);

trigeris, sudarytas iš kryžmai sujungtos tranzistorių poros, kurie turi vieną emiterį arba santakos elektrodą ir susijusias apkrovas (T_1 , T_2 , L_1 , L_2 ; T_1 , T_2 , I_1 , I_2), turintis savo maitinimo įtampą tarp vadinamo pirmojo (V_{cc}) ir antrojo (acc) ryšio ir iš kiekvienos pusės valdomas per vadinamus trečiąjį ir ketvirtąjį ryšius (d , d^*), turintis pirmąjį ir antrąjį mazgus

(n_1 , n_2), nustatomus tarpusavyje skirtingais įtampos lygiais, viena iš įtampų lygių kombinacijų, nusakanti saugomo bito vertę, - "teisinga", o kita saugomo bito vertė - "neteisinga", ir turintis pirmąją atskiriančiąją lyginimo priemonę (D1), įjungtą tarp vadinamo trečiojo ryšio (d) ir vadinamo pirmojo mazgo (n_1), ir antrąją atskiriančiąją lyginimo priemonę (D2), įjungtą tarp vadinamo ketvirtinio ryšio (d^*) ir vadinamo antrojo mazgo (n_2);

be to, atminties įrenginį sudaro:

pirmoji priemonė (9), sujungta su vadinamu trečiuoju ir ketvirtuoju ryšiu (d , d^*), ir

antroji priemonė (8), sujungta su antruoju ryšiu (acc);

b e s i s k i r i a n t i s tuo, kad

vadinamam pirmajam ryšiui esant nuolat prijungtam prie maitinimo šaltinio įtampos, vadinamas antrasis, trečiasis ir ketvirtasis ryšys gali įgauti skirtingą būsenų rinkinį priklausomai nuo pirmosios ir antrosios priemonių (9 ir 8) taip, kad vadinama ląstelė gali užimti tam tikrą funkcinę būseną iš funkcinių būsenų rinkinio, iš kurių kiekviena atitinka tam tikrą kombinaciją vadinamų antrojo, trečiojo ir ketvirtinio ryšių būsenų iš jų būsenų rinkinio; ir tuo, kad funkcinė būsena, kai ląstelės būsena palyginama su įėjimo duomenimis, vadinama pirmoji priemonė (9) paduoda porą komplementinių įėjimo signalų į trečiąją ir ketvirtąją ryšį (d , d^*), ir vadinama antroji priemonė (8) turi trečiąją priemonę (T3) antrajam ryšiui (acc) iškrauti iki atraminės įtampos lygio (V_r) ir ketvirtąją priemonę (AMP) įtampos pokyčiui antrajame ryšyje nustatyti.

2. Atminties įrenginys pagal pirmąjį Apibrežties punktą, b e s i s k i r i a n t i s tuo, kad tuose vadinamuose būsenų rinkiniuose vadinamos ląstelės antrasis, trečiasis ir ketvirtasis

ryšiai turi "aukštą" lygį, "žemą" lygį, srovė neteka į ląstelę, srovė teka į ląstelę vadinamame trečiajame ir ketvirtajame ryšyje, ir taip pat srovė teka iš ląstelės vadinamame antrajame ryšyje (acc), "aukštas" ir "žemas" lygis yra susietas su tuo, ar įtampa tampa teigiama ar neigiama, t.y. susietas su tuo, ar įtampa (Vcc) vadinamame pirmajame ryšyje yra teigiama ar neigiama žemės atžvilgiu.

3. Atminties įrenginys pagal pirmąjį arba antrąjį Apibrėžties punktus, b e s i s k i r i a n t i s tuo, kad abi vadinamos pirmoji ir antroji priemonės (9, 8) visoms ląstelės grandinės funkcinėms būsenoms yra pritaikytos antrojo, trečiojo ir ketvirtojo ryšio (acc, d, d*) valdymui, sudarytam iš dviejų fazių ciklo: pirmoji fazė - įkrovos, kurioje vadinamieji antrasis, trečiasis, ir ketvirtasis ryšys yra prijungti prie ypatingos įtampos (Vr), kurios dydis yra tarp vadinamo pirmojo ryšio įtampos (Vcc) ir žemės, ir antroji fazė - darbo, kuri nustato ląstelės apibrėžtas funkcines būsenas, "aukštas" ir "žemas" lygis nusakomas vadinamos ypatingos įtampos (Vr) atžvilgiu, vadinamas "aukštas" ir "žemas" lygis yra susijęs su tuo, ar įtampa grandinėje turi teigiamą ar neigiamą eigą.

4. Atminties įrenginys pagal kiekvieną pirmąjį, antrąjį ir trečiąjį Apibrėžties punktus, b e s i s k i r i a n t i s tuo, kad vadinamai ląstelės grandinei (T1, T2, L1, L2, D1, D2; T1, T2, I1, I2, D1, D2) skirtingomis vadinamomis būsenų nustatymo kombinacijomis vadinamuose antrajame, trečiajame ir ketvirtajame ryšiuose galima nustatyti šias funkcines būsenas :

rest (poilsis) - būsena, kai vadinamoje ląstelės grandinėje yra

saugoma vadinama bito vertė,

read (skaityti) - būseną, kai vadinama bito vertė gali būti skaitoma iš vadinamos ląstelės grandinės,

don't read (neskaityti) - būseną, kai vadinamoje ląstelės grandinėje yra saugoma vadinama bito vertė,

write false (rašyti neteisingą) - būseną, kai vadinama bito vertė, įrašoma į vadinamą ląstelės grandinę, yra nustatyta "neteisinga".

write true (rašyti teisingą) - būseną, kai vadinama bito vertė, įrašoma į vadinamą ląstelės grandinę, yra nustatyta "teisinga".

don't write (nerašyti) - būseną, kai vadinamoje ląstelės grandinėje yra saugoma vadinama bito vertė,

comp. false (lyginti neteisingą) - būseną, kai vadinamoje bito ląstelėje saugoma vadinama bito vertė yra lyginama su verte "neteisinga",

comp. true (lyginti teisingą) - būseną, kai vadinamoje bito ląstelėje saugoma vadinama bito vertė yra lyginama su verte "teisinga",

don't comp (nelyginti) - būseną, kai vadinamoje ląstelės grandinėje yra saugoma vadinama bito vertė.

5. Atminties įrenginys pagal kiekvieną prieš tai buvusį Apibrėžties punktą, kuriame "aukšta" ir "žema" įtampos yra susietos su tuo, ar vadinamoje bito ląstelėje įtampos turi teigiamą ar neigiamą eigą, t.y. susieta su tuo, ar įtampa Vcc vadinamame pirmajame ryšyje yra teigiama ar neigiama. Žemės atžvilgiu, b e s i s k i r i a n t i s tuo, kad operacijos režimas rest (likutis) yra nustatomas antrąja ir pirmąja priemone (9, 8), kuri į antrąjį, trečiąjį ir ketvirtąjį ryšį (acc, d, d*) paduoda kombinaciją: aukštas, žemas, žemas.

6. Atminties įrenginys pagal kiekvieną prieš tai buvusį Apibrėžties punktą, kuriame "aukšta" ir "žema" įtampos yra susietos su tuo, ar vadinamoje bito ląstelėje įtampos turi teigiamą ar neigiamą eigą, t.y. susieta su tuo, ar įtampa Vcc vadinamame pirmajame ryšyje yra teigiama ar neigiama žemės atžvilgiu, b e s i s k i r i a n t i s tuo, kad operacijos režimas read false (skaityti neteisingą) yra nustatomas antrąja ir pirmąja priemone (9, 8), kuri į antrąjį, trečiąjį ir ketvirtąjį ryšį (acc, d, d*) paduoda kombinaciją: žemas, srovė į, žemas.

7. Atminties įrenginys pagal kiekvieną prieš tai buvusį Apibrėžties punktą, kuriame "aukšta" ir "žema" įtampos yra susietos su tuo, ar vadinamoje bito ląstelėje įtampos turi teigiamą ar neigiamą eigą, t.y. susieta su tuo, ar įtampa Vcc vadinamame pirmajame ryšyje yra teigiama ar neigiama žemės atžvilgiu, b e s i s k i r i a n t i s tuo, kad operacijos režimas read true (skaityti neteisingą) yra nustatomas antrąja ir pirmąja priemone (9, 8), kuri į antrąjį, trečiąjį ir ketvirtąjį ryšį (acc, d, d*) paduoda kombinaciją: žemas, žemas, srovė į.

8. Atminties įrenginys pagal kiekvieną prieš tai buvusį Apibrėžties punktą, kuriame "aukšta" ir "žema" įtampos yra susietos su tuo, ar vadinamoje bito ląstelėje įtampos turi teigiamą ar neigiamą eigą, t.y. susieta su tuo, ar įtampa Vcc vadinamame pirmajame ryšyje yra teigiama ar neigiama žemės atžvilgiu, b e s i s k i r i a n t i s tuo, kad operacijos režimas don't read (neskaityti) ir operacijos režimas don't write (nerašyti) yra nustatomi antrąja priemone, kuri į antrąjį ryšį

64

(acc) paduoda aukštą.

9. Atminties įrenginys pagal kiekvieną prieš tai buvusį Apibrėžties punktą, kuriame "aukšta" ir "žema" įtampos yra susietos su tuo, ar vadinamoje bito ląstelėje įtampos turi teigiamą ar neigiamą eigą, t.y. susieta su tuo, ar įtampa Vcc vadinamame pirmajame ryšyje yra teigiama ar neigiama žemės atžvilgiu, b e s i s k i r i a n t i s tuo, kad vadinamas antrasis ryšys yra parenkantysis ryšys (acc) ir tuo, kad įrašant į vadinamą ląstelės grandinę vadinama pirmoji priemonė paduoda porą komplementinių įėjimo signalų į trečiąjį ir ketvirtąjį ryšį (d, d^{*}), ir tuo, kad vadinama antroji priemonė turi savyje penktąją priemonę, paduodančią "žemą" lygį į vadinamą antrąjį ryšį (acc).

10. Atminties įrenginys pagal kiekvieną prieš tai buvusį Apibrėžties punktą, kuriame "aukšta" ir "žema" įtampos yra susietos su tuo, ar vadinamoje bito ląstelėje įtampos turi teigiamą ar neigiamą eigą, t.y. susieta su tuo, ar įtampa Vcc vadinamame pirmajame ryšyje yra teigiama ar neigiama žemės atžvilgiu, b e s i s k i r i a n t i s tuo, kad vadinama antroji priemonė gali nustatyti skirtingas komplementinių įėjimo signalų kombinacijas trečiajame ir ketvirtajame ryšyje (d, d^{*}) operacijoms comp. false (lyginti neteisingą) ir comp. true (lyginti teisingą).

11. Atminties įrenginys pagal kiekvieną prieš tai buvusį Apibrėžties punktą, kuriame "aukšta" ir "žema" įtampos yra susietos su tuo, ar vadinamoje bito ląstelėje įtampos turi teigiamą ar neigiamą eigą, t.y. susieta su tuo, ar įtampa Vcc

vadinamame pirmajame ryšyje yra teigiama ar neigiama žemės atžvilgiu, b e s i s k i r i a n t i s tuo, kad operacijos režimas don't comp. (nelyginti) yra sudaromas pirmąja priemone (9), trečiajame ir ketvirtajame ryšyje (d, d*) nustatant lygi žemas, ir kartu veikiant vadinamai trečiajai ir ketvirtajai priemonei (T3 ir AMP), kurios yra vadinamoje antroje priemonėje (8).

12. Atminties įrenginys pagal kiekvieną nuo pirmojo iki vienuoliktojo Apibrėžties punktą b e s i s k i r i a n t i s tuo, kad vadinamas triggeris turi tokią konfigūraciją: tarp vadinamo antrojo ryšio (acc) ir vadinamo pirmojo ryšio (Vcc) yra lygiagrečiai prijungtas pirmasis ir antrasis nuoseklus jungimas, o kiekvieną iš tų jungimų sudaro tranzistoriaus ištakas/santaka kanalas ir apkrova (T1, L1 ir T2, L2), vadinamos apkrovos ir vadinamo tranzistoriaus sujungimo vieta vadinamame pirmajame nuosekliame jungime, toliau vadinamame pirmuoju mazgu (n1), sujungta su vadinamo antrojo tranzistoriaus užtūra vadinamame antrajame nuosekliame jungime, o vadinamos apkrovos ir vadinamo tranzistoriaus sujungimo vieta vadinamame antrajame nuosekliame jungime, toliau vadinamame antruoju mazgu (n2), sujungta su vadinamo pirmojo tranzistoriaus užtūra vadinamame pirmajame nuosekliame jungime, ir tuo, kad pirmasis lyginimo elementas (D1), kuris yra įjungtas tarp vadinamo trečiojo ryšio (d) ir vadinamo pirmojo mazgo (n1) ir kuris santykinai leidžia tekėti srovei tik viena kryptimi į vadinamą trečiąją ryšį, ir antrasis lyginimo elementas (D2), kuris yra įjungtas tarp vadinamo ketvirtojo ryšio (d*) ir vadinamo antrojo mazgo (n2) ir kuris santykinai leidžia tekėti srovei tik viena kryptimi į vadinamą ketvirtąją ryšį.

13. Atminties įrenginys pagal dvyliktąjį Apibrėžties punktą b e s i s k i r i a n t i s tuo, kad vadinami lyginimo elementai (D1 ir D2) yra parenkami iš šių komponentų:

- (1). n-kanalo MOP LET, kuriame santaka ir užtūra yra tarpusavyje sujungtos (kai įtampos teigiamos),
- (2). p-kanalo MOP LET, kuriame santaka ir užtūra yra tarpusavyje sujungtos (kai įtampos neigiamos),
- (3). pn-diodas (kai įtampos teigiamos, kai neigiamos įtampos su atvirkščiai įjungtu diodu),
- (4). Šotki-diodas (kai įtampos teigiamos, kai neigiamos įtampos su atvirkščiai įjungtu diodu).

14. Atminties įrenginys pagal dvyliktąjį Apibrėžties punktą b e s i s k i r i a n t i s tuo, kad vadinami tranzistoriai (T1 ir T2) yra parenkami iš šių komponentų:

- (1). n-kanalo MOP LET (kai įtampos teigiamos),
- (2). p-kanalo MOP LET (kai įtampos neigiamos),
- (3). npn tranzistorius (kai įtampos teigiamos),
- (4). pnp tranzistorius (kai įtampos neigiamos).

15. Atminties įrenginys pagal dvyliktąjį Apibrėžties punktą b e s i s k i r i a n t i s tuo, kad vadinamos apkrovos (L1 ir L2) yra parenkamos iš šių komponentų:

- (1). rezistoriaus,
- (2). praturtinto tipo n-kanalo MOP LET, kurio santaka ir užtūra tarpusavyje sujungtos (kai įtampos teigiamos),
- (3). praturtinto tipo p-kanalo MOP LET, kurio santaka ir užtūra tarpusavyje sujungtos (kai įtampos neigiamos),
- (4). nuskurdinto tipo n-kanalo MOP LET, kurio santaka ir

- užtūra tarpusavyje sujungtos (kai įtampos teigiamos),
- (5). nuskurdinto tipo p-kanalo MOP LET, kurio santaka ir užtūra tarpusavyje sujungtos (kai įtampos neigiamos),
- (6). n-kanalo MOP LET, kurio užtūra yra valdantysis elektrodas, o ištakas ir santaka - valdomieji elektrodai (kai įtampos teigiamos),
- (7). p-kanalo MOP LET, kurio užtūra yra valdantysis elektrodas, o ištakas ir santaka - valdomieji elektrodai (kai įtampos neigiamos),
- (8). npn tranzistoriaus, kurio bazė yra valdantysis elektrodas, o emiteris ir kolektorius - valdomieji elektrodai (kai įtampos teigiamos),
- (9). pnp tranzistoriaus, kurio bazė yra valdantysis elektrodas, o emiteris ir kolektorius - valdomieji elektrodai (kai įtampos neigiamoms).

