

(19)



(10) **LT IP381 A**

(12) **PARAIŠKOS APRAŠYMAS**

(21) Paraiškos numeris: **IP381**

(51) Int. Cl. (2006): **G06F 7/00**

(22) Paraiškos padavimo data: **1993 03 05**

G06F 7/38

(41) Paraiškos paskelbimo data: **1994 12 27**

G06F 7/48

(62) Paraiškos, iš kurios dokumentas išskirtas, numeris: —

G06F 9/302

(86) Tarptautinės paraiškos numeris: —

G06F 9/44

(86) Tarptautinės paraiškos padavimo data: —

G06F 12/00

(85) Nacionalinio PCT lygio procedūros pradžios data: —

G11C 11/412

(30) Prioritetas: **9002558, 1990 08 02, SE**

G11C 11/417

PCT/SE91/00513, 1991 08 01, SE

G11C 11/419

(71) Pareiškėjas:

G11C 15/00

CARLSTEDT ELEKTRONIK AB, Industrivägen 55, S-433 61 Partille, SE

(72) Išradėjas:

Lars Gunnar CARLSTEDT, SE

(74) Patentinis patikėtinis/atstovas:

Reda ŽABOLIENĖ, Advokatės Redos Žabalienės kontora METIDA, Verslo centras VERTAS, Gynėjų g. 16, LT-01109 Vilnius, LT

(54) Pavadinimas:

Asociatyvioji atmintis

(57) Referatas:

—

Asociatyvioji atmintis

Šis išradimas aiškina asociatyviają atmintį, t.y. atmintį, kurioje informaciją talpinančios ląstelės yra adresuojamos priklausomai nuo mažiausios ląstelės dalies turinio ir nepriklausomai nuo jos vietos atmintyje. Todėl čia nėra fizinių adresų ar priklausomybių nuo fizinių pozicijų.

IŠRADIMO PAGRINDIMAS

Įprasta asociatyvioji atmintis turi saugojimo ląstelių, kurios padalintos į asociatyvųjį lauką ir į saugojimo lauką. Informacija į asociatyviają atmintį įrašoma be adreso. Saugojimo ląstelių laukas paprastai yra sudaroma taip pat, kaip postūmio registre.

Kompiuteris buvo išrastas šio amžiaus penktame dešimtmetyje. Nuo to laiko jis vystosi nepaprastai sparčiai. Nepaisant to, šiuolaikiniai kompiuteriai turi beveik tokia pačia architektūrą kaip ir pirmieji.

Labiausiai patobulinta buvo aparatūrinė dalis. LDIL (Labai didelio integracijos laipsnio) technikos įdiegimas ir litografijos pasiekimai įgalino pagaminti vieno kristalo kompiuterį, kuris prieš penketą metų buvo pavadintas superkompiuteriu. Matmenys sumažėjo eksponentiškai ir dabar yra mažesni negu 1 mikrometras. Taktinis dažnis ir aktyvių tranzistorių skaičius padidėjo tūkstančius ar daugiau kartų. Fizikiniai reiškiniai, matyt, ribos linijų plotį iki 0,2

mikrometrų.

Nuo tada, kai naudojamas silicis, kompiuterio architektūra nebuvo tobulinama. Todėl, kompiuteriams greitinti, buvo pradėta naudoti silicio daugiau negu optimalus kiekis.

Abu šie faktoriai lėtins procesorių greičio didėjimą per ateinančius penkerius metus. Lygiagrečių procesorių naudojimas didina kainą, nes didėja aparatūrinės dalies sudėtingumas ir auga programavimo kaštai.

Lyginant aparatūrinės dalies ir programavimo kaštus, matyti, kad aparatūrinės dalies kaina mažėja, o naujų sistemų programavimo kainos greitai auga, ir netrukus jos pasieks kritinį lygį, nes pasaulyje nebeužteks programuotojų.

Kompiuteris yra sudėtingas įrenginys, kuris turi programinę ir aparatūrinę dalį. Skirtingos sistemos ir dalių evoliucija kintantiems ir nusistovėjusiems atvejams sukūrė standartus, kurie plačiai paplito. Dėl sistemų nevienodumo atsirado daug interfeisų rūšių.

Visi šie interfeisai ir nevienodų savybių sistemos sudaro labai daug painiavos. Todėl programuotojai ir vartotojai gali arba nebesugebėti pasinaudoti mašina, arba pridaryti sunkiai suvokiamų klaidų.

Pastaruoju metu yra kuriamas vadinamasis redukcinis procesorius. Redukcinis procesorius turi aktyviąją atmintį, kuri išimena programą, turinčią tam tikrą sandarą, kurioje yra ir aritmetinių išraiškų, ir ši sandara yra mažinama tam tikru redukcinių

žingsnių skaičiumi. Todėl programa nėra vykdoma pagal duotą seką kaip kitų tipų kompiuteriuose.

Kyla kai kurių problemų tobulinant mažų dydžių redukcinius procesorius.

IŠRADIMO TIKSLAI

Pagrindinis išradimo tikslas yra pateikti asociatyviąją atmintį, kurią sudaro saugojimo ląstelės, kuriose gali būti daroma asociatyvioji paieška duomenų elementų, esančių saugojimo laukuose objektinėse saugojimo ląstelėse, turinčiose iš esmės sutartinę vietą saugojimo ląstelėse.

Kitas išradimo tikslas - pateikti asociatyviąją atmintį, kuri gali veikti kaip kompiuterio aktyvioji dalis ir todėl gali ne tik saugoti informaciją, bet ir gerai vykdyti logines operacijas.

Kitas išradimo tikslas - pateikti asociatyviąją atmintį, toliau vadinamą objektine atmintimi, ypač tinkančią redukciniam procesoriui.

Kitas išradimo tikslas - pateikti asociatyviąją atmintį, kurioje parinktos ląstelės dalys gali veikti kaip asociatyvioji dalis.

Dar kitas išradimo tikslas - pateikti asociatyvinę atmintį, kurioje saugojimo ląstelės arba jų saugojimo laukai gali būti pažymėti, kad yra tinkami arba netinkami operacijoms.

Dar kitas išradimo tikslas - pateikti asociatyvinę atmintį, kuri gali būti pagaminta LDIL technikos priemonėmis (LDIL - labai

didelės integracijos laipsnis).

Adresuotos atminties išsidėstymo esmė yra nagrinėjama UA-A-4,890,260. Pagal šį patentą yra naudojama komanda write (rašyti) ir būseną read information (skaityti informaciją) taip, kad būtų galima nustatyti duomenų vietą magistralėje, naudojant paskirstymo priemones. Žymės sąlyga yra ta, kad adresas bus užkoduotas aukščiausio prioriteto žymės vietoje. Prioritetinis multipleksorius paskirsto informaciją iš atminties elementų į prioritetinį kodavimo įrenginį. Iš prioritetinio kodavimo įrenginio išėjimo adresas yra paduodamas į magistralę. Adreso dekoderis iššifruoja adreso bitus magistralėje, kad identifikuotų atminties masyve atrenkamą žodį.

Didelis šio išradimo paraiškos skirtumas yra tas, kad pagal D1 skaitomų bitų išėjime yra rezultatas, kuris ir yra adresas. Pagal šio išradimo paraišką bito vektorius praneša iš kiekvienos saugojimo ląstelės į prioritetinį dekoderį, ar paklausimas dėl prioriteto yra reikalingas, ar ne, ir vienas bitas yra grąžinamas iš prioritetinio dekoderio į kiekvieną saugojimo ląstelę, pasakant, ar ląstelė yra dotuojama, ar ne (žr. 17 p., 19-24 eilutė).

IŠRADIMO SANTRAUKA

Pagal toliau pateiktas žinias ir kitus tikslus, išradimas nagrinėja asociatyviają atmintį, turinčią atminties duomenų magistralės įrenginį, kurį sudaro:

kelios saugojimo ląstelės, kurios saugo sukomponuotą informaciją, ir kurios prijungtos prie atminties duomenų magistralės

įrenginio,

priemonė, daranti raktinių duomenų paieškos operacijas tarp ląstelių per atminties magistralės įrenginį, kad išrinktų mažiausiai vieną žymę, parodančią saugojimo ląstelei mažiausią išrinktą būseną arba neišrinktą būseną,

pagrindinė priemonė, sauganti žymę arba žymes kiekvienoje saugojimo ląstelėje,

prioritetinis dekoderis, kurio visos saugojimo ląstelės yra sugrupuotos, o jose reikalaujančioms selekcijos operacijoms atrenkamas vienas išėjimas iš kelių saugojimo ląstelių, ir

priemonė, kiekvienoje saugojimo ląstelėje nustatanti prioritetinio paklausimo būseną saugojimo ląstelėms tarp saugojimo ląstelių, remiantis žyme arba žymėmis vadinamoje pagrindinėje priemonėje, kuri yra saugojimo ląstelėje, priklausomai nuo šiuo momentu daromos operacijos, jei daroma operacija reikalauja selekcijos, kurią sudaro

pirmas valdymo magistralės įrenginys saugojimo ląstelėms vienu metu išoriškai valdyti pagal nurodymą dabar vykdomai operacijai, ir prijungtas, kad valdytų priemones, nustatančias prioritetinio paklausimo būseną, kad parinktų tokią paklausimo būseną, kokios reikalaujama, ir

prioritetinis dekoderis, turintis elektrines grandines, skaitančias paklausimo būseną iš priemonės, nustatančios prioritetinio paklausimo būseną visose saugojimo ląstelėse, išrenkančias vieną saugojimo ląstelių išėjimą, reikalaujanti

paklausimo, ir pateikiančias atmintyje kiekvienos saugojimo ląstelės individualų rezultatą, nurodanti klausiamos ląstelės išrinkimą arba neišrinkimą.

Mažiausiai viena pagrindinė magistralė yra skirta loginėms operacijoms IR ir ARBA vykdyti su vadinamomis saugojimo ląstelėmis, ir priemonė, palaikanti ryšius tarp kiekvienos saugojimo ląstelės ir vadinamų magistralių ir valdanti vadinamas saugojimo ląsteles, dalyvaujančias vykdomoje loginėje operacijoje. Kiekviena saugojimo ląstelė turi teikiantį pirmenybę skaičių duomenų objekto saugojimo laukuose, kiekvienas skaičius gali saugoti duomenų žodį ir mažiausiai vieną iš vadinamų žymių, turinčią etiketes pavidalą. Kiekviena saugojimo ląstelė turi teikiantį pirmenybę mažiausiai vienos būsenos saugojimo lauką, parodantį turinio būseną arba būsenas vadinamoje saugojimo ląstelėje.

Saugojimo ląstelės laukai yra prijungti prie mažiausiai vienos antrosios magistralės, kurių kiekviena yra vieno bito pločio, šios magistralės yra pritaikytos loginėms operacijoms WIRED AND (montažinis IR) arba WIRED OR (montažinis ARBA) tipo, laukai ir prioritetinis dekoderis yra sujungti su antrosiomis magistralėmis, kad skaitytų ar rašytų atminties magistralių turinį. Saugojimo ląstelės yra valdomos iš išorės, valdymas yra skirstomas visoms saugojimo ląstelėms, duomenų žodžiai gali būti perduodami į atmintį arba iš atminties, turint išorėje sukomponuotą informaciją, gaunamą atminties magistralėje, kuri prijungta prie visų saugojimo ląstelių.

Išradimas nagrinėja asociatyviajai atminčiai skirtą vieno bito saugojimo ląstelę, kurioje yra saugojamas dydis V_{etore} , kuris

gali būti "teisingas" arba "neteisingas", ląstelė turi tokia struktūrą, kad ji yra nustatoma kelioms skirtingoms funkcinėms būsenoms ir turi pirmąjį ryšį, kuris yra nuolat prijungtas prie maitinimo šaltinio įtampos, antrąjį, trečiąjį ir ketvirtąjį ryšį, kuriems galima nustatyti mažiausiai tris skirtingas valdymo būsenas, kiekviena valdymo būsenos kombinacija antrajame, trečiajame ir ketvirtajame ryšyje nustato saugojimo ląstelės individualią funkcinę būseną - vieną iš visų galimų.

Vieno bito atminties ląstelė gali vykdyti daug funkcijų, nors ją tesudaro keturi ryšiai, iš kurių trys yra valdomi. Ji turi labai mažai komponentų. Tai leidžia padaryti kompaktišką atminties prietaisą, turintį labai daug vieno bito atminties ląstelių.

Žemiau pateikiamas šiame aprašyme vartojamų terminų sąrašas. Terminai turi tokias reikšmes:

elementas (element)	kažkokia didelė dalis duomenų struktūroje,
sąrašas (list)	elementų seka, kiekvienas elementas gali virsti sąrašu
pertvaras (closure)	hierarchiškai struktūrizuota visuma, kuri apibūdina procesą. Visi pertvarai turi šaknį, kuri vienareikšmiškai apibūdina pertvarą. Redukcinėje mašinoje pertvarai atlieka sumažinimus. Sumažinimai keičia mašinos būseną.
vieno bito saugojimo	atminties ląstelė, sauganti tikrai

ląstelė
(storage bit cell)

vieną informacijos reikšmę, t.y. "0"
arba "1"

saugojimo ląstelė
(storage cell)

objekto atminties ląstelė, turinti daug
vieno bito ląstelių. Ji įsimeina
ląstelės pertvarą, kuris gali turėti
įtakos kitų ląstelių pertvarams,
saugojamiems kitose saugojimo ląstelėse

ląstelės pertvaras
(cell closure)

saugojimo ląstelės turinys

saugojimo laukas
(storage field)

saugojimo ląstelės laukas

pertvaro elementas
(closure element)

duomenų elementas, saugomas saugojimo
ląstelės lauke

pertvaro identifikatorius
(closure identifier)

ląstelės pertvaro elementas,
kuriame vieninteliame nurodytas
pertvaras

kanoninis pertvaras
(canonical closure)

pertvaras, kuris toliau negali būti
mažinamas, t.y. ląstelės
pertvaras, kuris neturi jokių
pertvaro identifikatorių, kurie
nurodytų kitų
ląstelių pertvarus, kurie privalėtų
būti sumažinti taip,
kad šis ląstelės pertvaras turėtų būti
toliau mažinamas

rezultatas (goal)	pertvaras, kuris turi būti įvykdytas, t.y. sumažintas
tėvas (father)	pertvaras, turintis mažiausiai vieną pertvaro identifikatorių "reikšmė /nurodymas" lauke
sūnus (son)	pertvaras, nukreiptas į kitą pertvarą per pertvaro identifikatorių, kuriame yra nurodytas sūnus
Sūnus taip pat gali būti tėvas. Tėvas taip pat gali būti sūnus. Sūnus gali turėti daugiau negu vieną tėvą. Tėvas gali turėti daugiau negu vieną sūnų, paprastai daugiausia turi keturis sūnus.	
pertvaro pozicija ar pertvaras yra šaknis arba mazgas (closure position)	
šaknis (root)	aukščiausia pertvaro
ląstelė pertvaro medyje	
mazgas (node)	pertvaro ląstelė pertvaro medyje, kuri nėra šaknis
įvykio vieta (where)	pertvaro ląstelės laukas, turintis pertvaro poziciją
tipas (type)	saugojimo ląstelės tipo kodas

neveiklus (lazy)	pertvaro ląstelės elementas, kuris parodo, ar saugojimo ląstelėje saugojimo ląstelės pertvaras yra vykdytinas, atidėtas arba neveiklus
identifikatorius (identifier)	speciali pertvaro elemento rūšis naudojama saugojamam objektui saugojimo ląstelėje pažymėti
aplinka (environment)	objektai gali būti grupuojami, suteikiant jiems tą pačią aplinką
reikšmė/nuoroda (value/des.)	pertvaro elementas, saugantis vieną iš dviejų: arba reikšmę, t.y. tiesioginį vaizdavimą, arba nuorodą į kitą pertvarą, t.y. netiesioginį vaizdavimą
pagrindinė ląstelė (core cell)	struktūrizuotas aritmetinis mazgas, galintis vykdyti struktūrinius aritmetinius veiksmus kartu su redukciniais pertvarais
num žodis (num word)	elemento žodžio dalis, vaizduojanti reikšmę arba nuorodą
etiketės žodis (tag word)	elemento žodžio dalis, turinti etiketę, kuri rodo num žodžio atstovavimo požymį
objekto atmintis	atmintis, kurią sudaro

(object storage)

saugojamų objektų saugojimo
ląstelės.

TRUMPAS BRĖŽINIŲ APRAŠYMAS

Kad būtų galima geriau suprasti šį išradimą, jo tolimesnius tikslus ir pranašumus, yra pateikiamas šis aprašymas kartu su brėžiniais, kuriuose:

1 PAV. schemiškai pavaizduota išradimą atitinkanti atminties įrenginio schema,

2 PAV. schemiškai pavaizduota išradimą atitinkanti atminties įrenginio saugojimo ląstelės schema,

3 PAV. atskirų saugojimo laukų naudojimo galimybių saugojimo ląstelėje schemiškas vaizdavimas,

4 PAV. pagal išradime aprašytą veikimą schemiškai vaizduojama, kaip objekto atmintyje saugojimo ląstelės vykdo funkcijas,

5 PAV. pirmoji vieno bito ląstelės saugojimo ląstelėje schema,

6 PAV. vieno bito ląstelės saugojimo ląstelėje ir valdymo bei nuskaitymo grandinių, prijungtų prie jos, grandinės schema,

7A PAV. bloko, pagal šį išradimą įeinančio į atminties prioritetinį dekoderį, grandinės schema,

7B PAV. brėžinys, rodantis 7A PAV. pateiktų blokų jungimą,

8 PAV. pagal išradimą atminties elemento bloko dalies grandinės brėžinys

ir

9 PAV. pagal išradimą atminties pertvaro bloko grandinės brėžinys.

PATEIKTŲ SCHEMŲ APRAŠYMAS

Atitinkanti išradimą asociatyvioji atmintis ypač tinka redukcinio tipo kompiuteriui. Ši kompiuterių rūšis yra aprašoma susijusioje US paraiškoje No Ši kompiuterių rūšis neturi jokios, kaip paprastai, atskirtos atminties. Pagal išradimą kompiuteris naudoja atmintį kaip aktyvių saugojimo ląstelių rinkinį.

Pagal išradimą asociatyviosios atminties naudojimo strategija - sukurti atminties įrenginį iš keleto saugojimo ląstelių. Kiekviena tokia saugojimo ląstelė gali talpinti vieną ląstelės pertvarą arba būti laisva nenaudojama saugojimo ląstele. Saugojimo ląstelės gali būti ir neišdėstytos ypatinga tvarka, bet, žinoma, turi turėti bendrą prieinamų resursų fondą.

Manoma, kad yra labai svarbu neturėti nei fizinio adreso, nei priklausomybės nuo fizinės padėties. Tokios priklausomybės gali anksčiau ar vėliau sukelti problemų kaip visuose įprastuose RAM tipo įrenginiuose.

Visos saugojimo ląstelės tarpusavyje rišasi per atminties magistralės įrenginius. Tai yra ypač svarbu mažinant kainą. Kiti įrenginiai, pavyzdžiui, keleto daugiaskilčių įėjimų naudojimas ar pan., didina atminties plotą. Tačiau atminties magistralių įrenginyje gali vykdyti per atminties ciklą tikrai vieną

operacija.

Redukcinis (sumažinimo) mechanizmas turi būseną, sudarytą iš ląstelės pertvarų, kurių kiekvienas turi identifikatorių, ląstelės pertvarai tarpusavyje jungiasi per identifikatorius ir sudaro grafa. Grafu gali būti einama per identifikatorių adresinius pertvarus. Todėl atminties magistralė gali būti naudojama kaip trajektorija, einanti per visas grafo viršūnes.

Kiekvienas pertvaras turi savo aplinką, kuri gali turėti identifikatorių, nurodantį šaknies pertvarą medyje, turinčiame savo pertvarų aplinką. Tokiu būdu tik per vieną operaciją visa struktūra yra pasiekama per šaknį, esančią viename medžio pertvare. Pertvarai, turintys tą pačią aplinką, gali būti grupuojami.

Visi "adresavimai" turi būti padaryti pagal informacijos turinį, nes nėra jokios fizinės priklausomybės, t.y. atmintis yra asociatyvioji. Ląstelės pertvarą, t.y. saugojimo ląstelės turinį, sudaro keli saugojimo elementai, saugomi saugojimo ląstelės saugojimo laukuose. Kiekvienas saugojimo elementas gali turėti identifikatorių, turinčių tam tikros informacijos. Kiekvienas saugojimo laukas yra asociatyvusis, todėl informacijos srautas neturi krypties. Kaip paieškos raktas gali būti ląstelės identifikatorius, ląstelės aplinka, ląstelės tipas, dydžiai, įrašyti į saugojimo ląstelės laukus, arba jų kombinacijos.

Atminties elementas gali turėti skubų bito atrinkimą, rodantį, kad saugojimo elementas buvo atrinktas kaip parenkančiojo mechanizmo užduotis. Tam tikros atrinkimo operacijos šį atrinktą bitą padeda į saugojimo ląstelių lauką.

Toks atrinkimo tipas gali apimti vieną ar kelias saugojimo ląsteles. Viena kartotinė ląstelės operacija gali saugoti identifikatorių daugelyje išrinktų saugojimo elementų, susijusių su skirtingomis saugojimo ląstelėmis, saugomomis skirtinguose laukuose.

Pagal išradimą kai atmintis, toliau vadinama objekto atmintimi, yra įjungiamoji redukcinio tipo kompiuteris, redukcinis mechanizmas gali turėti būseną, susidedančią iš pertvarų, kur identifikatoriai sudaro grafą. Tačiau pagrindinių redukcijos taisyklių yra tiek daug, kad jos negali būti taikomos kiekvienai saugojimo ląstelei. Todėl redukcijos mechanizmas yra išdalinamas visiems pertvarams. Centrinis valdymo įrenginys padaro objekto atmintyje visas objekto saugojimo ląsteles pajegias valdyti ilgus atminties magistralės laidininkus. Centrinis valdymo įrenginys taip pat sureguliuoja magistralių signalus ir laike, ir lygiuose. Centrinis valdymo įrenginys nėra šio išradimo dalis ir todėl smulkiau nebus aprašomas.

Išorinis valdymo įrenginys valdo objekto atminties darbą. Atminties magistralė suriša visas saugojimo ląsteles. Tačiau kartais keletui saugojimo ląstelių būna nurodoma, kad jos nebūtų skaitomos. Kad tą padarytų, mechanizmas turi rinkti tiksliai vieną iš kelių tuo metu tinkamų kandidatų. Tą padaro prioritetinis dekoderis, prijungtas prie visų ląstelių.

Pagal šį išradimą objekto atmintis turi žymiai daugiau galimybių negu paprasta RAM tipo atmintis. Tai siejasi su tuo, kad galima turėti daugiau papildomų veiksmų negu "skaityti" ir "rašyti" - ką gali paprasta RAM tipo atmintis. Visa tai bus paaiškinta toliau.

Bito ląstelės struktūra, kuri iš dalies sujusi su objekto atmintimi, yra parodyta 5 PAV. ir 6 PAV., ir bus aprašyta toliau.

Objekto atmintis yra suskirstyta į saugojimo ląsteles, kurių kiekviena turi keletą saugojimo laukų. Aptarnavimas yra aukšto lygio. Pavyzdžiui, galima surasti atskiro duomenų elemento visus įvykius kokiame saugojimo lauke jie bebūtų saugomi be atskiros saugojimo ląstelės ir bet kur perrašyti surastą atskirą duomenų elementą, t.y. be visos objekto atminties perrašyti naują reikšmą, naudojant tik vieną atminties komandą. Kai objekto atmintis yra asociatyvi, ši perrašymo operacija gali būti padaryta dviem fizinės atminties ciklais, nepriklausomai nuo paveiktų saugojimo ląstelių skaičiaus.

Pagal 1 PAV. atmintis, toliau vadinama objekto atmintimi, susideda iš atminties eilių lauko, sudaryto iš saugojimo ląstelių 1. Tokiu būdu saugojimo ląstelės turi eiles kaip stekinės atminties. Visos jos yra prijungtos prie vertikalios atminties magistralės t1, t2, id, env, v0, v1, v2, v3, kurią valdo valdymo ir nuskaitymo stiprintuvai. Tokia vieno bito ląstelės schema detaliam pavaizduota 6 PAV. Visos saugojimo ląstelės taip pat yra prijungtos prie prioritetinio dekoderio 2, kuris, kai reikia, išrenka vieną saugojimo ląstelę iš keleto saugojimo ląstelių, su kuriomis dirbama. Atmintis yra valdoma asociatyviojo priėjimo būdu sesijos metu per kelis ciklus. Prie visų objekto atminties elementų prieinama per sesiją.

Pagal šį išradimą viena saugojimo ląstelė objekto atmintyje gali būti naudojama tiek saugant skaitmeninį turinį, tiek aktyviai dalyvaujant tuo metu vykstančiuose skaičiavimuose. Sukomponuota skaitmeninė informacija ir mažiausiai vienas ženklas yra

išimenamas kiekvienoje saugojimo ląstelėje 1. Ženklas yra: arba ATRINKTA (CHOSEN) arba NEATRINKTA (NON CHOSEN). Saugojimo ląstelėse arba jų dalyse, vadinamose saugojimo laukais, sukomponuota skaitmeninė informacija, saugoma saugojimo elementuose, gali būti skaitoma ar rašoma ir turi žymę ATRINKTA. Išrinkimas taip pat gali būti daromas be bito žymės. Tuo atveju išrinkimą valdo loginės funkcijos rezultatas vieno bito magistralėse a ir b, kurios yra prijungiamos prie elementų (žr. 2 PAV.).

Centrinis valdymo įrenginys (neparodytas) turi išorinį valdymą, kuris dalyvauja paieškos operacijose ir informacijos skaityme iš saugojimo ląstelės bei rašyme į saugojimo ląstelę. Centrinis valdymo įrenginys, aprašytas susijusioje US paraiškoje No, kurioje pateikiamas procesorius, turintis objekto atmintį, ir pagal išradimą nėra objekto atminties dalis, todėl nėra smulkiai aprašoma. Centriniam valdymo įrenginiui labiausiai tinka "boolean gate array" tipas, paimantis įėjimo signalus iš saugojimo ląstelių turinio ir prietaisų, prijungtų prie objekto atminties, ir paduoda valdymo signalus į objekto atmintį, priklausomai nuo jų įėjimo signalų. Tačiau, reikia pažymėti, kad pagal išradimą, objekto atmintis gali dirbti su bet koku paprasto tipo procesoriumi, turinčiu interfeisą ir valdymo programas, pritaikytas prie objekto atminties.

Redukciniame procesoriuje sumažinimus geriausia daryti struktūriniame aritmetiniame įrenginyje, toliau vadinamame pagrindine ląstele 3, kuri pagal išradimą sujungta su visomis objekto atminties saugojimo ląstelėmis per atminties magistralės įrangą. Per atminties ciklą atminties magistralės įrangą gali atlikti tik vieną operaciją. Tai yra paprasčiausias ir todėl

25

pigiausias būdas padaryti tokį sujungimą. Tačiau gali būti naudojami ir kiti įtaisai, pvz., keli portai ir pan., bet tokios priemonės padidina atminties plotą. Saugojimo ląstelės žodžis gali būti gana ilgas, pavyzdžiui 238 bitų. Todėl atminties magistralė tarp pagrindinės ląstelės ir saugojimo ląstelių gali būti padalinta į keletą sekcijų, tokių kaip t1, t2, id, env, v0, v1, v2, v3, kurios gali turėti tarpusavyje besiskiriančią paskirtį. Šio išradimo tikslas yra turėti trumpą, kelių bitų ilgio žodį, pvz., aštuonių, šešiolikos arba trisdešimt dviejų bitų, ir turėti tiksliai vieną arba kelias žymes. Tačiau yra įmanoma objekto atminties lauką rezervuoti operacijoms, kurios gali būti padarytos pagrindinėje ląstelėje, t.y. pagrindinė ląstelė gali būti imituota objekto atminties dalyje. Pagrindinė ląstelė turi keletą galimybių pakeisti ir pernešti duomenis tarp jos registru tik per vieną operaciją. Tokios galimybės reikalauja keleto operacijų ciklų objekto atminties lauke imituojamoje pagrindinėje ląstelėje.

Dvi globalinės vieno bito magistralės 4,5 yra sudarytos loginėms operacijoms tarp saugojimo ląstelių 1 vykdyti. Šios operacijos gali būti IR ir ARBA. Trečia magistralė 14 gali būti sujungta su prioritetiniu dekoderiu. Magistralių skaičius neribojamas trimis, jų gali būti nuo vienos iki kelių. Atskirtosios saugojimo ląstelės gali skaityti magistralės 4, 5 ir 14 ir dalyvauti loginėse operacijose. Magistralė 4 turės signalą "teisingas", jei testas yra atliekamas bet kurioje iš magistralių a arba b. Magistralę 4 (MODE - REŽIMAS) gali skaityti ar rašyti visos saugojimo ląstelės. Magistralė 5 turės dydį "teisinga", jei DAUGIAU (MORE) nei viena ląstelė yra išrinkta. Magistralė 14 turės signalą "teisinga" (t.y. "1"), jei BET KOKIA (ANY) iš saugojimo ląstelių prašo ryšio.

2 PAV. parodyta viena saugojimo ląstelė. Ji padalinta į keletą

saugojimo laukų 6. Kiekviena saugojimo lauką 6 sudaro kelios vienos bito saugojimo ląstelės 7, toliau vadinamos bito ląstelėmis, ir elemento pagrindinė dalis 8. Duomenys, sudarantys dalį sukomponuotos skaitmeninės informacijos, yra saugomi bito ląstelėse 7 kartu su žyme, nusakancia ATRINKTA (CHOSEN) arba NEATRINKTA (NON CHOSEN) ir išiminta elemento pagrindinėje dalyje 8. Saugojimo laukams gali būti suteiktos tarpusavyje skirtingos užduotys. Kiekvieno atminties lauke išimtinamo žodžio ilgis gali būti, pavyzdžiui, 38 bitai. Be to, pagrindinėje dalyje 8 prie žymės bito ląstelės 7 keletas bitų gali būti naudojami kaip informacija apie atminties lauke likusios informacijos naudojimą. Taip vadinamas etiketės žodis gali būti saugomas situose bitais, o 6 bitai gali būti naudojami kaip etiketės žodis, o 32 bitai – kaip normalūs bitai, saugantys informaciją bito ląstelėse 7. Kiekviena bito ląstelė yra prijungta prie valdymo ir nuskaitymo stiprintuvų (žr. 6 PAV) dviem laidininkais d ir d^* , kaip parodyta bito ląstelės schemeje 5 PAV. Taigi kiekviena informacijos dalis, einanti į elementą informacijai išimanti ir esanti 38 bitų ilgio, turi 76 laidininkus. Kiekviena tokia magistralės dalis yra sujungta su saugojimo elementais, kurie išdėstyti stulpelių atminties ląstelės lauke.

Kaip matyti iš 1 PAV., visi saugojimo laukai negali turėti to paties dydžio. Pvz., saugojimo laukai, prijungti prie magistralės dalių t_1 ir t_2 yra mažesni negu saugojimo laukai, prijungti prie likusių magistralės dalių. Saugojimo lauko 6 pagrindinė dalis 8 yra prijungta per saugojimo ląstelę prie vietinių vieno bito magistralių a ir b . Kelios iš šių magistralių gali būti parenkamos kitu būdu. Suprantama, kad tai gali būti ir viena magistralė. Iš saugojimo lauko tarp ATRINKTŲ (CHOSEN), naudojant šias magistrales, yra atliekamos loginės operacijos WIRED AND

(MOTAZINIS IR) ir WIRED OR (MOTAZINIS ARBA) tipo.

Kaip matyti iš 2 PAV., kiekviena saugojimo ląstelė turi pertvaro dalį 11, prie kurios yra prijungiamos magistralės a ir b. Pertvaro dalis 11 taip pat prijungta prie prioritetinio dekoderio su mažiausiai viena vieno bito magistrale, kuri schemoje parodyta, kad yra prijungta prie dviejų vieno bito magistralių 12 ir 13, ir taip pat yra prijungta prie globalinių magistralių 4 ir 5. Pertvaro dalis 11 magistralėms veikia kaip buferis. Ląstelės gali skaityti rezultatą iš šių magistralių arba dalyvauti loginėse operacijose.

Saugojimo ląsteles valdo centrinis valdymo įrenginys per valdymo magistralę. Sukomponuota skaitmeninė informacija gali būti keičiama tarp objekto atminties visų saugojimo ląstelių ir pagrindinėje ląstelėje 3, naudojant valdymo ir nuskaitymo stiprintuvų dalį (žr. 6 PAV.). Informacija yra užrašoma į ląsteles iš išorinių ryšių. Informacija iš ląstelių yra skaitoma iš išorinius ryšius.

Kiekvieno saugojimo lauko kiekvieną bito ląstelę 7 gali valdyti saugojimo lauko valdymo dalis 8 taip, kad bito ląstelė galėtų vykdyti vieną iš šių operacijų:

poilsis (rest)	kai kiekviena bito ląstelė laiko savyje saugojamo bito reikšmę,
skaityti (read)	bito ląstelės saugomoji bito reikšmė yra skaitoma,
rašyti (rašyti)	bito reikšmė yra įrašoma į bito ląstelę,
lyginti (compare)	pagal šį išradimą duomenų žodis, sudarytas iš

bitų ir saugomas bitų ląstelėse, yra palyginamas su kitu duomenų žodžiu.

Valdymas, gaunamas iš pagrindinės dalies 8, priklauso nuo loginių sąlygų, kurios yra antrosios magistralės a ir b duomenų, išankstinės žymės, lyginimo rezultato lyginimo operacijos atveju ir išorinio valdymo signalo, paduodamo į objekto atmintį, funkcija.

Žymė yra nustatoma priklausomai nuo loginių sąlygų, kurios yra antrosios magistralės a ir b duomenų, išankstinės žymės, lyginimo rezultato lyginimo operacijos atveju ir išorinio valdymo signalo, paduodamo į objekto atmintį iš išorinio centrinio valdymo įrenginio (neparodytas), funkcija.

Kadangi čia nėra jokios fizinės priklausomybės, visi 'adresavimai' turi būti susieti su informacijos turiniu, t.y. objekto atmintis yra asociatyvioji. Todėl čia nėra apibrėžtos informacijos srauto krypties. Kaip bus aiškinama toliau, ląstelės identifikatorių, aplinką, tipą, informacijos reikšmę arba jų kombinacijas galima naudoti kaip atrinkimo raktą.

Saugojimo lauko saugojimo ląstelėje saugomo elemento žymės bitas arba bitai, turintys reikšmę ATRINKTA (CHOSEN), rodo, kad elementas buvo atrinktas kaip parinkimo mechanizmo tikslas. Tam tikros paieškos operacijos galėtų būti naudojamas žymėms nustatyti.

Toks parinkimo tipas gali apimti vieną arba kelias saugojimo ląsteles. Viena iš daugelio ląstelės operacijų yra saugojimo operacija, kurią gali įsiminti identifikatoriaus daugelyje

atrinkyų elementų.

Kaip parodyta 2 PAV., pagrindinės dalies 8 laidininkas acc tarpusavyje sujungia visas elemento bito ląsteles. Kaip bus toliau aiškinama, aprašant 5 ir 6 PAV., visas bito ląsteles valdo laidininko acc signalai. Kiekvieną bito ląstelę turi du laidininkus d ir d^* , ir jie yra prijungti prie visų atitinkamų bito ląstelių kitose saugojimo ląstelėse objekto atmintyje.

Prioritetinis dekoderis turi vieną sekciją kiekvienai saugojimo ląstelei, kiekviena sekciја turi pirmąjį ryšį PAKLAUSIMUI (REQUEST), kuriame bito reikšmė yra 'teisinga', kai sąlyga REIKIA (NEED), ir bito reikšmė yra 'neteisinga', kai sąlyga NEREIKIA, bei antrąjį ryšį DOTACIJAI (GRANT), kuriame bito reikšmė yra 'teisinga', kai sąlyga PARINKTA (CHOSEN), ir yra 'neteisinga', kai sąlyga NEPARINKTA (NOT CHOSEN).

Prioritetinis dekoderis 2 nustato maksimaliai vieną DOTACIJĄ (GRANT), tolygia sąlygai PARINKTA (CHOSEN), atminties ląstelėms, kurios turi PAKLAUSIMĄ (REQUEST), tolygų sąlygai REIKIA (NEED). Tai gali būti daroma taip, kad pirmoji sekciја, matuota struktūroje, kuri turi PAKLAUSIMĄ (REQUEST), tolygų sąlygai REIKIA (NEED), bus PARINKTA (CHOSEN). Prioritetinio dekoderio schema, parodyta 7A PAV. ir 7B PAV., toliau bus smulkiai aprašoma.

Daugeliu atvejų objekto atminties magistralės protokolas rišasi su visomis saugojimo ląstelėmis. Tačiau kartais kelios saugojimo ląstelės arba atminties elementai be saugojimo ląstelių gali būti parinkti ir nuskaityti. Tai daro prioritetinis dekoderis 2. Kiekvienai ląstelei yra signalas PAKLAUSIMAS (REQUEST), o prioritetinis dekoderis 2 grąžina signalą DOTACIJĄ (GRANT).

Objekto atmintį valdo skaitymo, rašymo ir paieškos operacijos. Šios operacijos gali būti suderintos su sudėtingesnėmis operacijomis. Tam tikros loginės operacijos gali būti atliekamos tarp vidinių magistralių a ir b ir globalinių magistralių 4 ir 5.

Paieška yra daroma lyginant, ir tada gaunamas rezultatas ATITINKA (FIT) arba SKIRTINGAS (DIFFERENT). Paieška gali būti atlikta vienu iš šių būdų:

- (1). Paieška daroma individualiai kiekvienam saugojimo elementui ir yra nepriklausoma nuo sukomponuotos informacijos kituose saugojimo elementuose.
- (2). Paieška gali būti padaryta lyginant visus saugojimo ląstelės saugojimo elementus. Kiekvieno elemento rezultatas gali būti ATITIKTI (FIT).
- (3). Paieška gali būti padaryta lyginant visus saugojimo ląstelės saugojimo elementus. Mažiausiai vieno iš saugojimo elementų rezultatas gali būti ATITIKTI (FIT).

Lyginimas gali būti daromas vienu iš šių būdų:

- (1). Yra lyginami du bito moduliai. Lyginimo rezultatas bus ATITIKTI tik tada, kai visi atitinkami bitai bus vienodi.
- (2). Du koduoti bito moduliai, kurie yra lyginami, arba tik vienas iš jų yra koduotas taip, kad viena iš bitų būsenų, kurioje bitas priklausantis modulio informacijai SUTARTINIS (ARBITRARY) och, turi SPECIFINĘ (SPECIFIC) informacijos reikšmę v. Jei lyginiant viena iš informacijos reikšmių

atitinka būseną SUTARTINIS (ARBITRARY), tada rezultatas yra ATITIKTI (FIT). Priešingu atveju rezultatas ATITIKTI (FIT) yra tik tada, kai dvi specifinės informacijos reikšmės v yra identiškos.

Magistralės funkcija lemia objekto atminties žodžio skaitymo arba rašymo būdą. Magistralę (bus) valdo parinkimo (access) funkcija. Parinkimo (access) funkcija priklauso nuo žymės ir/arba reikšmės antrosiose magistralėse a ir b .

MOTAŽINIS ARBA (WIRED OR) funkcija yra vieno bito magistralėje a , kuri turi bulinių operacijų sąrašą. Tai įvertina loginį ARBA (OR) tarp visų saugojimo ląstelės saugojimo elementų. Fiziškai tai atitinka laidininką, kurį parenka elementų dalyje 8 esantys tranzistoriai.

MOTAŽINIS IR (WIRED AND) funkcija yra vieno bito magistralėje b , kuri turi bulinių operacijų sąrašą. Tai įvertina loginį IR (AND) tarp visų saugojimo ląstelės saugojimo elementų. Fiziškai tai atitinka laidininką, kurį parenka elementų dalyje 8 esantys tranzistoriai.

Prioritetinio dekodierio 2 prioritetinė funkcija turi argumentą - bulinių operacijų sąrašą, ir atitinkamo dydžio rezultatus bulinių operacijų sąrašė. Argumentas turi pirmąjį elementą, kuris yra aukščiausio prioriteto. Po to seka žemesnio prioriteto bitai. Argumento pirmasis 'teisingas' bitas duoda rezultatą atitinkamame teisingame bite. Visi kiti bitai yra 'neteisingi'.

Saugojimo ląstelės elementai apskritai yra naudojami pirmos reikšmės paieškai elementuose, ir tada surastuose elementuose yra

atliekamos operacijos skaityti ir rašyti.

Saugojimo ląstelė schema, kuri yra sąlyginai parodyta 3 PAV., bus naudojama skirtingoms saugojimo ląstelės saugojimo laukų funkcijoms paaiškinti taip, kaip pagal išradimą atliekama objekto atmintyje. 3 PAV. saugojimo ląstelės laukai nėra taip pat sutvarkyti ir padalinti kaip 2 PAV saugojimo ląstelės laukai. 2 PAV. yra parodyta aparatinė dalis, o 3 PAV. - saugojimo ląstelės naudojimas. Kaip parodyta 3 PAV., saugojimo ląstelė gali išiminti du saugojimo elementų tipus ir turi saugojimo lauką, pritaikytą prie išimenamų elementų. Šie 3 PAV. laukai įgauna tą patį vardą, kaip ir juose išimenami elementai.

Pirmo tipo elementai aprašo skirtingas saugojimo ląstelės būsenas. Šie elementai taip pat gali būti vadinami būsenos saugojimo elementais. Vienas toks elementas yra NEVEIKLUS (LAZY), jis pažymi: kuri ląstelė yra neveikli (idle), kai likusioje ląstelės turinio dalyje yra pasyvi informacija, kuri ląstelė yra veikli (exec), t.y. ląstelės turinys yra veiklus, arba kuri ląstelė yra laukianti (wait), t.y. ląstelė yra pasiruošusi ir laukia rezultato, kuriam atsiradus, ji pasidarys veikli. Kitas pirmojo tipo elementas yra vadinamas TIPU (TYPE), jis turi kodo tipą (par, seq, apply, list, ir kt.). Kaip parodyta 2 PAV., visos saugojimo elementų būsenos gali būti pateiktos viename saugojimo lauke, kai atmintis yra magistralinio tipo, arba, kaip parodyta 1 PAV., dviejuose saugojimo laukuose, turinčiuose atminties magistrales t1 ir t2.

Antrojo tipo elementai apibūdinami identifikacija, aplinka arba reikšme. Jų vardai - IDENTIFIKATORIUS (IDENTITY), APLINKA (ENVIRONMENT), REIKŠMĖ/NUORODA (VALUE/REF). Kiekvienas iš šių

elementų turi pagrindinį žodį, kuris paeiliui yra skirstomas į num žodį ir etiketės žodį. Šie antrojo tipo elementai taip pat gali būti vadinami objekto atminties duomenų elementais, kadangi juose yra saugomi duomenys.

Etiketės žodis parodo "num" žodžio požymį. Etiketės žodžiai yra dviejų tipų: netiesioginiai etiketės žodžiai, t.y. etiketės žodžiai, kurie yra skirti identifikatoriams, aplinkoms ir identifikatoriaus nuorodoms, ir tiesioginiai etiketės žodžiai, t.y. etiketės žodžiai, kurie yra skirti paprastoms reikšmėms arba pan. Netiesioginių etiketės žodžių pavyzdžiai yra: cls, canon ir open. Jeigu etiketės žodis yra cls, tai reiškia, kad "num" žodis identifikatoriaus lauke atstovauja pertvarui, kuris gali būti mažinamas. Jeigu etiketės žodis yra canon, tai reiškia, kad "num" žodis identifikatoriaus lauke atstovauja pertvarui, kuris toliau negali būti mažinamas. Jeigu etiketės žodis yra open, tai reiškia, kad identifikatoriaus laukas atstovauja pertvarui, turinčiam įterptą sąrašą. Tiesioginių etiketės žodžių pavyzdžiai yra: discr, cont, unused, ir nothing. Jei etiketės žodis yra discr, tai reiškia, kad "num" žodis yra sveikas skaičius. Jei etiketės žodis yra cont, tai reiškia, kad "num" žodis yra plaukiančio kablelio tipo. Jei etiketės žodis yra unused, tai reiškia, kad "num" žodis identifikatoriaus lauke neturi reikšmių. Jei etiketės žodis yra nothing, tai reiškia, kad "num" žodis identifikatoriaus lauke niekam neatstovauja, t.y. kitaip tariant, pvz., jei pertvaro laukas pažymėtas nothing (niekas), tai tame lauke nieko nebus.

Jeigu identifikatoriaus laukas saugojimo ląstelėje turi identifikatoriaus elementą toje saugojimo ląstelėje, tai proceso būsena iš tos saugojimo ląstelės turi būti perduota į pagrindinę

ląstelę. Kiekviena saugojimo ląstelė gali turėti pertvaro elementą laukuose REIKŠMĖ/NUORODA (VALUE/DES), prijungianti ląstelę prie kito ląstelės pertvaro. Aplinkos laukai gali turėti identifikatorių, nurodantį pertvaro šaknį tinkle, t.y. pertvarų medį, duodantį pertvarų aplinką. Tačiau, aplinkos laukas taip pat gali būti naudojimas ir kitaip. Aplinkos gali būti naudojamos autoriaus trajektorijos struktūrai laikyti, išimenant autoriaus identifikatorių visų sukurtų ląstelių pertvarų aplinkose. Pavyzdžiui, žemutiniame medyje visos pertvaro ląstelės, kuriose visi simboliai turi tą patį vardą tam pačiam daiktui žymėti, turės būti grupuojamos pagal tą pačią aplinką. Tokiu būdu tik viena operacija per šaknį galima apimti visą struktūrą.

Nuorodos funkcija gali nusakyti ryšio grandinę nuo tėvo į sūnų, t.y. pertvaro elementas vienintelis identifikuoja ląstelės pertvarą. Mašinos, turinčios asociatyviojo tipo objekto atmintį, veiklą reprezentuoja pertvarų krypčių grafas.

Taigi, jei yra gauta pertvaro aplinka, šioje aplinkoje gali būti randamas šaknies pertvaras. Šaknies pertvaras turi specialią žymę (pavyzdžiui "1") jo saugojimo ląstelės lauke KUR (WHERE). Mazgo pertvaras turi kitą žymę (pavyzdžiui "0") lauke KUR (WHERE).

Atminties ląstelių funkcijos

$id_1 = \text{sąrašas}(\text{par}(123) \text{ par}(456))$

saugojimo pavyzdys yra parodytas 4 PAV. Ši funkcija yra dviejų lygiagrečių reikšmių kombinacijų sąrašas. Pirmoji lygiagreti kombinacija $\text{par}(1\ 2\ 3)$ turi atpažinimo ženklą id_2 , o antroji lygiagreti kombinacija $\text{par}(4\ 5\ 6)$ turi atpažinimo ženklą id_3 . Šaknies saugojimo ląstelė, turinti ląstelės pertvarą su

atpažinimo ženkliu id_1 , turi medyje etiketę cls, lauke NEVEIKLUS (LAZY) turi rotaciją exec, lauke KUR (WHERE) turi "1", lauke TIPAS (TYPE) turi užrašą list ir pirmuose dviejuose laukuose REIKŠMĖ/NUORODA (VALUE/DES.) turi atpažinimo ženklus id_2 ir id_3 . Šių laukų etiketės yra žymimos canon, nes šių laukų turinys yra netiesioginis ir nenukreiptas į kitus ląstelių pertvarus. Mazgo saugojimo ląstelė, turinti ląstelės pertvarą su atpažinimo žyme id_2 , lauke KUR (WHERE) turi nustatytą "0", lauke TIPAS (TYPE) turi užrašą par, ir pirmuose trijuose laukuose reikšmė/nuoroda turi saugomas reikšmes 1, 2, ir 3. Todėl pastarųjų laukų etikečių laukuose yra žymės discr. Mazgo saugojimo ląstelė, turinti ląstelės pertvarą su atpažinimo žyme id_3 , lauke KUR (WHERE) turi nustatytą "0", lauke TIPAS (TYPE) turi užrašą par, ir pirmuose trijuose laukuose reikšmė/nuoroda turi saugomas reikšmes 4, 5, ir 6. Pastarųjų laukų etikečių laukuose taip pat yra žymės discr.

Numatyta, kad visa atmintis gali būti realizuota, naudojant LDIL technikos priemones (LDIL - Labai didelis integracijos laipsnis). Kiekviena bito ląstelė suprojektuota taip, kad gali būti realizuota, naudojant LDIL technikos priemones, ir yra optimizuota, kad būtų galima labai tankiai talpinti didelį kiekį bito ląstelių. Kaip matyti iš 5 PAV., bito ląstelė turi tik keturius ryšius (laidininkus) t.y. pirmąjį ryšį V_{cc} , kuris nuolatos sujungtas su maitinimo šaltinio įtampa, antrąjį, trečiąjį ir ketvirtąjį ryšį acc , d , d^* , kiekvienas iš jų gali įgauti mažiausiai tris skirtingas valdymo būsenas. Apie tai bus toliau smulkiai aprašyta.

Bito ląstelės schema, kuri parodyta 5 PAV., yra keturių KMOP tranzistorių ląstelė. Parodytoje schemoje tranzistoriai yra n-tipo. Tačiau bito ląstelės grandinės komponentės gali būti kitų

tipų, kurie bus toliau nurodyti komponentų sąraše. Keturių KMOP tranzistorių ląstelė yra statinė ir turi varžinę apkrovą. Ląstelė yra iš abiejų pusių valdomas triggeris. Tarp parinkimo laidininko acc ir maitinimo laidininko V_{cc} yra du nuoseklūs jungimai, kiekvienas iš jų sudarytas iš MOP LET ištakas/santaka kanalo ir apkrovos T_1 , L_1 bei T_2 , L_2 , atitinkamai, o tie jungimai yra sujungti lygiagrečiai. Tranzistoriaus T_1 santaka yra sujungta su tranzistoriaus T_2 užtūra, o tranzistoriaus T_2 santaka yra sujungta su tranzistoriaus T_1 užtūra. Diodas D_1 įjungtas tarp laidininko d ir tarpjungio n_1 , kuris yra tranzistoriaus T_1 , apkrovos L_1 ir tranzistoriaus T_2 užtūros sujungimo vieta. Diodas D_2 įjungtas tarp laidininko d^* ir tarpjungio n_2 , kuris yra tranzistoriaus T_2 , apkrovos L_2 ir tranzistoriaus T_1 užtūros sujungimo vieta. Diodai D_1 ir D_2 yra padaryti iš MOP LET, kurių santaka sujungta su užtūra, ir tos sujungimo vietos laidininku prijungtos atitinkamai prie d ir d^* .

Ypatinga grandinės elementų savybė yra ta, kad diodai D_1 ir D_2 yra elementai, pro kuriuos srovė teka tik viena kryptimi laidininkų d ir d^* atžvilgiu, ir, kad tranzistoriai yra aktyvūs elementai, kurių srovė gali būti valdoma, keičiant jų užtūrų potencialus. Tarpjungiai n_1 ir n_2 yra tokie mazgai, kurių potencialai, susieti su vieno bito informacija, yra saugomi. Kiekviena apkrova yra elementas, kuris elgiasi panašiai kaip rezistorius.

Kaip parodyta 5 PAV. duotoje schemeje, įtampa V_{cc} turi aukštą potencialą. Diodai D_1 ir D_2 yra nukreipti taip, kad srovė tekėtų iš laidininkų d arba d^* atitinkamai į mazgus n_1 arba n_2 . Aktyviojo elemento T_1 arba T_2 varža atitinkamai sumažėja, kai potencialas jų užtūros elektrodo padidėja. Tuo būdu mes gauname

santakos potencialas sumažėja. Tačiau kitose schemose potencialai ir srovės gali būti parinktos priešingų krypčių negu tos, kurios parodytos taip, kaip schemoje 5 PAV.

5 PAV. grandinės komponentės gali būti įvairiai parinktos. Diodai D1 ir D2 gali būti parinkti iš šių komponentių:

- (1). n-kanalo MOP LET, kuriame santaka ir užtūra yra tarpusavyje sujungtos (kai įtampos teigiamos),
- (2). p-kanalo MOP LET, kuriame santaka ir užtūra yra tarpusavyje sujungtos (kai įtampos neigiamos),
- (3). pn-diodas (kai įtampos teigiamos, kai neigiamos įtampos su atvirkščiai įjungtu diodu),
- (4). Šotki-diodas (kai įtampos teigiamos, kai neigiamos įtampos su atvirkščiai įjungtu diodu).

Kaip aktyvūs elementai T1 ir T2 gali būti naudojamos šios komponentės:

- (1). n-kanalo MOP LET (kai įtampos teigiamos),
- (2). p-kanalo MOP LET (kai įtampos neigiamos),
- (3). npn tranzistorius (kai įtampos teigiamos),
- (4). pnp tranzistorius (kai įtampos neigiamos).

Kaip apkrovos L1 ir L2 gali būti naudojamos šios komponentės:

- (1). rezistorius.
- (2). praturtinto tipo n-kanalo MOP LET, kurio santaka ir užtūra tarpusavyje sujungtos (kai įtampos teigiamos),
- (3). praturtinto tipo p-kanalo MOP LET, kurio santaka ir užtūra tarpusavyje sujungtos (kai įtampos neigiamos),
- (4). nuskurdinto tipo n-kanalo MOP LET, kurio santaka ir užtūra tarpusavyje sujungtos (kai įtampos teigiamos),
- (5). nuskurdinto tipo p-kanalo MOP LET, kurio santaka ir

- užtūra tarpusavyje sujungtos (kai įtampos neigiamos),
- (6). n-kanalo MOP LET, kurio užtūra yra valdantysis elektrodas, o ištakas ir santaka - valdomieji elektrodai (kai įtampos teigiamos),
- (7). p-kanalo MOP LET, kurio užtūra yra valdantysis elektrodas, o ištakas ir santaka - valdomieji elektrodai (kai įtampos neigiamos),
- (8). npn tranzistorius, kurio bazė yra valdantysis elektrodas, o emiteris ir kolektorius - valdomieji elektrodai (kai įtampos teigiamos),
- (9). pnp tranzistorius, kurio bazė yra valdantysis elektrodas, o emiteris ir kolektorius - valdomieji elektrodai (kai įtampos neigiamoms).

Kai kalbama apie teigiamas ir neigiamas įtampas, yra laikoma, kad V_{cc} yra atitinkamai teigiama arba neigiama žemės atžvilgiu. Terminai "žema" ir "aukšta" įtampa, kurie naudojami toliau, susieti su tuo, ar įtampos vadinamoje bito ląstelėje turi teigiama ar neigiama eiga, t.y. susieti su tuo, ar įtampa V_{cc} vadinamame pirmajame ryšyje yra teigiama ar neigiama žemės atžvilgiu.

Bitų ląstelės grandinės antroji schema kartu su bito ląstelės d , d^* ir acc laidininkų valdikliais yra parodyta 6 PAV. Elementai, kurie atitinka 5 PAV. parodytus elementus, turi tuos pačius žymėjimus. 6 PAV. bito ląstelė 7' apibrėžta brūkšnine linija. Apkrova yra atitinkamai MOP LET I1 ir I2 ištakas/santaka kanalai, kurie šioje schemoje parodyti, yra p-tipo, t.y. priešingo tipo negu tranzistorių T1 ir T2, kurie schemoje yra n-tipo. Tranzistoriaus I1 užtūra yra prijungta prie mazgo n_2 , o tranzistoriaus I2 užtūra yra prijungta prie mazgo n_1 .

Kalbant apie abi bito ląstelės schemas, kurios parodytos 5 PAV. ir 6 PAV., galima pasakyti, kad bito ląstelė gali saugoti reikšmę Vatore, ir ši reikšmė būna "teisinga" arba "neteisinga". Bitų ląstelės struktūra yra tokia, kad galima nustatyti kelias jos būsenas, paduodant skirtingus potencialus į acc, d ir d* laidininkus.

Valdymo būsenos yra: aukštasis lygis, žemasis lygis, srovė iš visų laidininkų į ląstelę ir srovė į acc laidininką iš ląstelės. Laidininkas acc yra parenkantysis laidininkas, ateinantis iš dalies 8 ir sujungtas su visomis bito ląstelėmis 7' saugojimo ląstelėje. Trečio ir ketvirto laidininko d ir d* signalai yra invertuoti vienas kito atžvilgiu, ląstelės skaitymo ar rašymo metu parenkantysis laidas acc yra ŽEMAS.

Valdiklis ir nuskaitymo stiprintuvas yra dalyje 8, kuri 6 PAV. apvedžiota brūkšnine linija. Parenkančiojo laidininko acc valdymas yra formuojamas dalyje 8, kuri savo ruožtu yra valdoma iš išorės, pavyzdžiui, valdoma kompiuterio, kuris duoda įtampas V_r ir V₃ ir įkrovos signalą prech. Pirmojo tranzistorius T₃, kuris šioje schemoje yra n-tipo, ištakas yra prijungtas prie įtampos V_r, jo santaka prie parenkančiojo laidininko acc visose bito ląstelėse 7' saugojimo ląstelėje ir jo užtūra gauna įkrovos signalą prech, kuris gali būti taktinis signalas. Antrojo tranzistorius T₄, kuris yra n-tipo, ištakas yra prijungtas prie įtampos 0V, jo santaka - prie parenkančiojo laidininko acc visose bito ląstelėse 7' saugojimo ląstelėje ir jo užtūra gauna išorinį valdymą V₃. Kai įtampa V₃ bus aukšta, parenkančiajame laidininke acc bus nustatyta įtampa 0V. Kaip jau minėta aukščiau, laidininkas acc yra prijungtas prie visų bito ląstelių saugojimo ląstelėje, kuria, pavyzdžiui, sudaro 38 bitų ląstelės, todėl

visos bito ląstelės bus valdomos laidininko acc. Pirmoje valdymo fazėje, t.y. įkrovos fazėje, laidininkas acc yra įkraunamas, sudarant MOP LET T3 laidžią būseną, dėl to laidininke acc nusistato įtampa V_r . Kitoje fazėje signalas V_3 , būdamas arba aukštas arba žemas, priklausomai nuo to ar yra tikrinama žema ar aukšta įtampa laidininke acc, valdo MOP LET T4. Laidininko acc įtampa yra stiprinama stiprintuve AMP ir perduodama į išorines grandines tolimesnėms operacijoms.

Visų bloko elementų schemos yra parodytos 8 PAV. ir bus toliau aprašomos. Valdymo signalo tiekimas į dalį 8, kaip ir žemiau aprašomos valdiklio ir nuskaitymo grandinės 9, nėra šio išradimo dalis, ir todėl nebus toliau nagrinėjamos.

Bito ląstelės laidininkų d ir d^* valdiklio ir nuskaitymo grandinės 9 schema yra parodyta 6 PAV., kuri taip pat apvedžiota brūkšnine linija. Tačiau pažymime tai, kad grandinė 9 iliustruoja tik vieną laidininkų d ir d^* valdymo ir nuskaitymo galimybę. Įėjimas/išėjimas IN/OUT yra prijungtas pagrindinės ląstelės 3, kuri yra parodyta 1 PAV. Taigi grandinė 9 yra viena iš daugelio panašių grandinių, kuri gali jungti objekto atmintį 1 su pagrindine ląstele 3.

Laidininko d įrašymo grandinę sudaro tranzistorių T5 ir T6 pirmoji pora, schemoje pirmasis tranzistorius yra n-tipo, o antrasis - p-tipo, jų santakos sujungtos su laidininku d , ir ši pora sudaro įtampos daliklį. Tranzistoriaus T5 ištakas prijungtas prie potencialo V_r , o jo užtūrą veikia įkrovos signalas $prech$. Tranzistoriaus T6 santaka prijungta prie potencialo V_{cc} , jo užtūrą valdo signalas V_4 , kuris artės prie žemo lygio, kai potencialas V_{cc} veiks laidininką d , kaip bus paaiškinta toliau.

Laidininko d įrašymo grandinę taip pat sudaro nuoseklus p-tipo tranzistoriaus T9 ir n-tipo tranzistoriaus T10 ištakos/santakos kanalų jungimas, kuris įjungtas tarp maitinimo šaltinio įtampos Vcc ir santakos n-tipo tranzistoriaus T11, kurio ištakas sujungtas su žeme, o jo užtūra - su išorinio valdymo įėjimu WRITE. Tranzistorių T9 ir T10 santakų sujungimas kartu su tranzistoriaus T6 užtūra suformuoja įtampą V4. Tranzistoriaus T9 užtūrą veikia invertuotas įkrovos signalas prech^* , prijungiantis tranzistoriaus T6 užtūrą prie maitinimo įtampos Vcc per laidųjį tranzistorių T9 įkrovos fazės metu.

Laidininko d^* įrašymo grandinę sudaro tranzistorių T7 ir T8 antroji pora, schemoje pirmasis tranzistorius yra n-tipo, o antrasis - p-tipo, jų santakos sujungtos su laidininku d^* , ir ši pora sudaro įtampos daliklį. Tranzistoriaus T7 ištakas prijungtas prie potencialo Vr, o jo užtūrą veikia įkrovos signalas prech . Tranzistoriaus T8 santaka prijungta prie potencialo Vcc, jo užtūrą valdo signalas V5, kuris artės prie žemo lygio, kai potencialas Vcc veiks laidininką d^* .

Laidininko d^* įrašymo grandinę taip pat sudaro nuoseklus p-tipo tranzistoriaus T12 ir n-tipo tranzistoriaus T13 ištakos/santakos kanalų jungimas, kuris įjungtas tarp maitinimo šaltinio įtampos Vcc ir santakos n-tipo tranzistoriaus T11. Tranzistorių T12 ir T13 santakų sujungimas kartu su tranzistoriaus T8 užtūra suformuoja įtampą V5. Tranzistoriaus T12 užtūrą veikia invertuotas įkrovos signalas prech^* , prijungiantis tranzistoriaus T8 užtūrą prie maitinimo įtampos Vcc per laidųjį tranzistorių T12 įkrovos fazės metu.

Išorinis laidininkas IN/OUT, kuris skirtas įvedimui ir išvedimui,

yra sujungtas su dviem trijų būsenų invertoriais. Vienas iš tų trijų būsenų invertorių, kurio išėjimas sujungtas su laidininku IN/OUT, turi nuosekliai sujungtus du n-tipo tranzistorių T14, T15 ir du p-tipo tranzistorių T16, T17 ištakas/santaka kanalus. Tranzistoriaus T16 užtūra yra sujungta su išorinio valdymo laidininku, paduodančiu signalą bitin, o tranzistoriaus T15 užtūrą valdo invertuotas signalas bitin*. Antras iš tų trijų būsenų invertorių, kurio išėjimas sujungtas su laidininku IN/OUT, turi nuosekliai sujungtus du n-tipo tranzistorių T18, T19 ir du p-tipo tranzistorių T20, T21 ištakas/santaka kanalus. Tranzistoriaus T19 užtūra yra sujungta su išorinio valdymo laidininku, paduodančiu signalą bitin, o tranzistoriaus T20 užtūrą valdo invertuotas signalas bitin*. Antrojo trijų būsenų invertoriaus išėjimas yra sujungtas su tranzistoriaus T13 užtūra ir per invertorių INV su tranzistoriaus T10 užtūra.

Skaitymo stiprintuvas sudarytas iš n-tipo tranzistoriaus T22, kurio ištakas sujungtas su žeme, jo užtūra sujungta su nuolatine įtampa Vbias, kuri sudaro tranzistoriaus T22 laidžią būseną ir veikia kaip srovės generatorius, jo santaka sujungta su viena dviejų nuosekliai sujungtų n-tipo ir p-tipo tranzistorių T23, T24 ir T25, T26 ištakas/santakas kanalų, atitinkamai, lygiagretaus jungimo vieta, o šio lygiagretaus jungimo kita vieta sujungta su maitinimo įtampa Vcc. Tranzistorių T24 ir T26 užtūros yra tarpusavyje sujungtos, o šio jungimo vieta sujungta su tranzistorių T23 ir T24 santakų tarpusavio jungimo vieta. Tranzistoriaus T23 užtūra yra sujungta su bito ląstelės 7' laidininku d, o tranzistoriaus T25 užtūra sujungta su tos pačios ląstelės laidininku d*.

Kiekviename taktiniame periode signalai prech ir prech* yra

padalinti į įkrovos fazę, kurioje signalas prech yra aukštas, ir darbo fazę, kurioje signalas prech yra žemas, o kiti išoriniai valdymo signalai nusako, kokia operacija turi būti daroma. Tuo būdu įkrovos fazėje laidininkai d , d^* ir acc yra atitinkamai prijungiami prie įtampos V_r per tranzistorius T_5 , T_7 ir T_3 .

Signalai bitin ir bitin^* naudojami, kai duomenys siunčiami į bito ląstelę 7' arba iš jos. Kai signalas bitin žemas, o signalas bitin^* aukštas, tada duomenys siunčiami iš bito ląstelės per pirmąjį trijų būsenų invertorių į laidininką IN/OUT . Kai signalas bitin aukštas, o signalas bitin^* žemas, tada duomenys iš laidininko IN/OUT siunčiami į bito ląstelę per antrąjį trijų būsenų invertorių.

Antroje skaitymo operacijos fazėje, po laidininkų d , d^* ir acc įkrovos įtampa V_r , laidininkai d ir d^* paliekami laisvi, o laidininkas acc prijungiamas prie įtampos $0V$, paduodant aukštą įtampą V_3 , kuri padaro tranzistorių T_4 laidų. Tai turi įtakos mazgui, turinčiam žemiausią potencialą, pavyzdžiui n_1 , jo potencialas sumažėja iki tam tikro dydžio tarp V_r ir $0V$. Dėl šios priežasties srovė teka iš laidininko d per mazgą n_1 į laidininką acc . Ši srovė iškrauna laidininką d , t.y. laidininko d įtampa sumažėja. Ši įtampos sumažėjimą fiksuoja stiprintuvas, sudarytas iš tranzistorių $T_{22}-T_{26}$. Skaitymo rezultatas atsiranda tranzistorių T_{25} ir T_{26} santakų sujungimo vietoje ir veikia trijų būsenų invertoriaus, sudaryto iš tranzistorių $T_{14}-T_{17}$, įėjimą. Kai signalas bitin yra žemas, o signalas bitin^* yra aukštas, nuskaityta ir sustiprinta bito vertė perduodama įėjimo/išėjimo laidininką IN/OUT . Svarbu tai, kad antroje fazėje laidininkai d ir d^* nėra aktyviai valdomi, todėl įtampa nesumažėja nė viename iš šių laidininkų.

Skaitymo operacijos pradžioje abiem laidininkams d ir d^* yra suteikiamas potencialas V_r . Abu laidininkai d ir d^* realiai įgauna potencialą V_r , bet vieno iš jų potencialas pradeda kristi, nes dėl srovės tekėjimo į ląstelę ("current in") iškraunamas vienas iš laidininkų d arba d^* . Tuo būdu potencialas V_r čia yra įvertinamas kaip "žemas", žemas potencialas bus mažesnis negu "žemas". Iš laidininkų d ir d^* būsenų sprendžiama apie skaitomas vertes. Jei laidininko d potencialas mažesnis už laidininko d^* potencialą, fiksuojama būsena FALSE (neteisingas), jei laidininko d potencialas didesnis už d^* - TRUE (teisingas). Operacijų: neįrašyti (don't write), rašyti neteisingą (write false), rašyti teisingą (write true) ir nelyginti (don't comp.) metu potencialai laidininkuose d ir d^* neteikia jokios informacijos.

Antroje rašymo operacijos fazėje, po laidininkų d , d^* ir acc įkrovos įtampa V_r , o laidininkas acc prijungiamas prie įtampos $0V$, paduodant į tranzistoriaus T_4 užtūrą aukštą įtampą V_3 , kuri padaro tranzistorių T_4 laidų. Vertė, kuri turi būti saugoma, gaunama iš įėjimo /išėjimo laidininko IN/OUT. Signalai aukštas bitin ir žemas bitin* veikia antrąjį trijų būsenų invertorių, sudarytą, iš tranzistorių $T_{18}-T_{21}$ ir šis perduoda vertę iš laidininko IN/OUT į invertoriaus išėjimą. Kai valdymo signalas "rašyti" (write), kuris paduodamas į tranzistoriaus T_{11} užtūrą, yra aukštas, šis tranzistorius tranzistorių T_{10} ir T_{13} istakus prijungia prie $0V$.

Kai įrašomas "0" arba neteisingas, aukštas signalas iš antrojo trijų būsenų invertoriaus, sudaryto iš tranzistorių $T_{18}-T_{21}$, nustato tranzistoriaus T_{13} laidžią būseną, tada įtampa V_5 pasidaro žema, o tranzistorius T_8 pasidaro laidus ir laidininkas

d^* yra prijungiamas prie įtampos V_{cc} , t.y. laidininkas d^* įgyja aukštą lygį. Invertuotas signalas iš antrojo trijų būsenų invertoriaus veikia tranzistoriaus T10 užtūrą, ir kai šis signalas yra žemas, tranzistorius T10 pasidaro nelaidus, todėl įkrovos fazėje mazge V4 sudaryta įtampa lygi maitinimo šaltinio įtampai V_{cc} laikysis. Tranzistorius T6 bus nelaidus, ir įtampa V_r , kuri įkrovos fazėje buvo prijungta per tranzistorių T5 prie laidininko d , laikysis.

Kai įrašomas "1" arba teisingas, žemas signalas iš antrojo trijų būsenų invertoriaus, sudaryto iš tranzistorių T18-T21, valdys per invertorių INV įrašymo grandinę T5, T6, T9, T10, nustatančią laidininke d aukštą įtampą V_{cc} , o tuo tarpu įrašymo grandinė T7, T8, T12, T13 laikys laidininke d^* įtampą V_r , kuri buvo nustatyta įkrovos fazės metu.

Kaip matyti iš aukščiau pateikto pavyzdžio, 6 PAV. parodyti bito ląstelės mazgai n_1 ir n_2 veikia taip. Antroje operacijos ciklo fazėje arba vienas iš mazgų n_1 , n_2 , arba abu mazgai yra įkraunami arba iškraunami priklausomai nuo to, kuris valdymo signalas V_3 , V_4 ar V_5 yra naudojamas, t.y. tada, kai laidininke acc yra nustatyta įtampa $0V$, arba kai viename (arba abiejuose) laidininkuose d ir d^* yra nustatyta įtampa V_{cc} .

Kaip buvo minėta anksčiau, kiekvienas operacijos ciklas yra sudarytas iš įkrovos periodo ir darbo periodo. Tuo budu, kaip bus paaiškinta toliau, laidininke acc bus aukštas lygis, kai signalas V_3 nevaldys tranzistoriaus T4, nustatančio įtampą $0V$ laidininke acc darbo periodo metu. Taip pat, kaip bus paaiškinta toliau, kai laidininkuose d ar d^* yra nustatytas žemas lygis, tai valdymo signalas, kuris yra mazguose V_4 arba V_5 ir yra lygi įtampai V_{cc} ,

nevaldo tranzistoriaus T6 arba tranzistoriaus T8, esančių kaupimo būsenoje, nes darbo būsenoje įtampa V_{cc} yra didesnė už įtampą V_r , esančią laidininkuose d ar d^* . Tačiau, kai laidininke d arba d^* yra nustatytas aukštas lygis, tai tranzistorius T6 arba T8 bus valdomas, o įtampa V_{cc} bus prijungtą prie vieno arba kito laidininko.

Saugojimo ląstelės plotas gali būti didesnis, pavyzdžiui, gali turėti 256 bito ląsteles, tai reiškia, kad kiekviena tranzistorių T5, T6 ir T7, T8 pora atitinkamai yra prijungta prie laidininko, aptarnaujančio vieną bito ląstelę visose saugojimo ląstelėse. Taip yra kiekvienai iš 256 bito ląstelių. Todėl tranzistoriaus matmenys turi būti pritaikyti prie viso jungiamojo laidininko talpos ir pageidaujamo darbo greičio.

Įtampą V_r gali sukurti suprastintas invertorius, kad palaikytų žinomą ryšį tarp V_r ir invertuojančio valdymo stiprintuvo. Valdymo dalies parenkančiosios grandinės valdys bito ląsteles ir priiminės informaciją iš bito ląstelių.

Valdymo būsenos nustato šias funkcines būsenas:

rest (poilsis) - kai ląstelėje yra saugoma vertė V_{store} ,

read false (skaityti neteisingą) - kai gali būti skaitoma vertė V_{store} yra neteisinga,

read true (skaityti teisingą) - kai gali būti skaitoma vertė V_{store} yra teisinga,

don't read (neskaityti) - kai ląstelėje yra saugoma vertė V_{store} ,

write false (rašyti neteisingą) - kai rašoma vertė V_{store} yra nustatyta "neteisinga",

write true (rašyti teisingą) - kai rašoma vertė V_{store} yra

nustatyta "teisinga",

don't write (nerašyti) - kai lastelėje yra saugoma vertė Vatore.

comp. false (lyginti neteisingą) - kai saugoma vertė Vatore yra lyginama su "neteisinga" verte,

comp. true (lyginti teisingą) - kai saugoma vertė Vatore yra lyginama su "teisinga" verte,

don't comp (nelyginti) - kai lastelėje yra saugoma vertė Vatore.

Toliau pateikiama skirtingų bito lastelės operacijų režimų operacijų lentelė:

Operacijos režimas	acc	d	d*
rest (poilsis)	aukštas	žemas	žemas
read false (skait. neteis.)	žemas	srovė į	žemas
read true (skait. teis.)	žemas	žemas	srovė į
don't read (neskaityti)	aukštas	sutartinis	sutartinis
write false (raš. neteis.)	žemas	žemas	aukštas
write true (raš. teis.)	žemas	aukštas	žemas
don't write (nerašyti)	aukštas	sutartinis	sutartinis
comp. false (lyg. neteis.)	sutartinis	žemas	aukštas
comp. true (lyg. teis.)	sutartinis	aukštas	žemas
don't comp. (nelyginti)	sutartinis	žemas	žemas

Laidininke acc bus būseną "srovė iš", jei, vykdant operacijas comp. false (lyginti neteisingą) ir comp. true (lyginti teisingą), nėra sutapimo, t.y. lyginimo rezultatas yra SKIRTINGAS.

Laidininke acc (parenkančiajame laidininke), vykdant operacijas comp. false (lyginti neteisingą) ir comp. true (lyginti teisingą), gaunamas lyginimo rezultatas. Laidininkas acc yra

įkraunamas iki V_r , įėjimo duomuo yra paduodamas į laidininką d , o jo priešinga vertė - į laidininką d^* . Jei bito ląstelė išimena vertę, nesutampančią su įėjimo duomeniu, laidininkas acc bus įkraunamas per vieną iš diodų $D1$ arba $D2$ ir per atitinkamą n -tipo tranzistorių $T1$ arba $T2$. Tą detektuoja dalies 8 stiprintuvas. Kai yra fiksuojamas sutapimas (FIT), laidininkas acc laiko potencialą V_r .

Junginiai "srovė į" ir "srovė iš" reiškia, kad krūvis, laikui bėgant, atitinkamai juda į arba iš tikrinamo laidininko. Tai paprastai įvyksta laidininką atitinkamai nustatčius į AUKŠTĄ arba ŽEMĄ lygį ir iš operacijos REST pereinant į reikiamą būseną. Srovė atitinkamai iškrauna arba įkrauna tikrinamą laidininką. Kai laidininke nėra srovės, krūvis nepernešamas, todėl, laikui bėgant, neatsiranda jokio įtampos pokyčio.

Prioritetinio dekoderio 2 schema, parodyta 7A PAV. ir 7B PAV., yra skirstoma į blokus "4-block". Kaip parodyta 7A PAV., kiekvienas iš šių blokų turi iš kairės pusės vieną porą laidininkų granta ir rega ir keturias poras laidininkų reg0, grant0,... iki ... reg3, grant3 iš dešinės pusės.

Kaip parodyta 7B PAV., pirmasis blokas 20 iš dešinės pusės turi keturias poras laidininkų, sujungtų laidininkų pora su kiekvienu kairės pusės bloku. Yra parodytos tik du blokai: 21 ir 22. Blokus 20, 21, ir blokus 20, 22 tarpusavyje jungia invertuojantys stiprintuvai 23 ir 24, stiprintuvas 23 duoda informaciją į žemesnį bloką blokų grandinėje, nes prioritetinis prašymas yra reikalingas aukštesniam grandinės blokui, o stiprintuvas 24 duoda informaciją į aukštesnį bloką blokų grandinėje, nes yra duodama dotacija. Antrajame stulpelyje yra keturi blokai 21,...22.

Antro stulpelio kiekvienas blokas yra prijungtas prie trečio stulpelio keturių blokų taip, kaip antro stulpelio blokai yra prijungti prie bloko 20. Trečias stulpelis turi šešiolika blokų. Yra parodyti tik kraštiniai šio stulpelio blokai 25 ir 26.

Kiekvienas trečio stulpelio blokas yra tokiu pačiu būdu prijungtas prie ketvirtą stulpelio keturių blokų. Ketvirtas stulpelis turi šešiasdešimt keturis blokus. Yra parodyti tik kraštiniai šio stulpelio blokai 27 ir 28.

Ketvirtą stulpelio blokų dešinės pusės laidininkai yra prijungti prie objekto atminties. Kiekviena pora veikia kaip saugojimo ląstelės 1 magistralės 12 ir 13, kaip matoma iš 7B PAV.

Aštuoniasdešimt penki blokai aptarnauja 256 pertvarus. Žemiausias blokas 28 aptarnauja žemiausias saugojimo ląsteles, t.y. nuo saugojimo ląstelės, pažymėtos 0, į viršų, ir aukščiausias blokas 27 aptarnauja aukščiausias, t.y. iki saugojimo ląstelės, pažymėtos 255.

Konfigūracija, kuri parodyta 7A PAV. ir 7B PAV., naudoja domino tipo įkrovos logiką, ir yra prioritetinis dekoderis, sudarytas iš domino tipo pakopų, perduodančių prašymo signalus iš, pavyzdžiui, reg0 į žemiausią bloką 28 per visus prioritetinio dekoderio blokus ir atgal, kad duotų "neteisingą" reikšmę grant (dotacijos) signalui į visas saugojimo ląsteles, išskyrus saugojimo ląstelę 0.

Kaip parodyta 7A PAV., kiekvienas blokas sudarytas iš 5 eilių MOP

LET tranzistorių, kiekvienoje eilėje yra vienu MOP LET daugiau negu žemesnėje eilėje, išskyrus penktą eilę, kuri turi tą patį skaičių MOP LET kaip ketvirta eilė.

Keturių žemiausių eilių kiekvienas MOP LET nuo $Tr_{0,0}$ iki $Tr_{3,0}$, esantis dešinėje pusėje, yra p-tipo. Jų užtūros yra prijungtos prie taktinio signalo, jų santakos - prie teigiamos maitinimo šaltinio įtampos, o jų ištakos atitinkamai prijungtos prie dotacijos laidininkų $grant_0$, $grant_1$, $grant_2$ arba $grant_3$. Aukščiausios eilės MOP LET $Tr_{4,0}$ ištakas, užuot buvęs prijungtas prie laidininko $grant-i$ (čia i yra numeriai nuo 0 iki 3), yra prijungtas prie laidininko rega, kuris prijungtas prie sekancio žemesnio bloko per inventorių 23 bloką pakopose.

Likę MOP LET yra n-tipo. Pirmos eilės $Tr_{0,1}$, antros eilės $Tr_{1,1}$ ir $Tr_{1,2}$, trečios eilės $Tr_{2,1}$, $Tr_{2,2}$ ir $Tr_{2,3}$, ketvirtos eilės $Tr_{3,1}$, $Tr_{3,2}$, $Tr_{3,3}$ ir $Tr_{3,4}$, bei penktos eilės $Tr_{4,2}$, $Tr_{4,3}$, $Tr_{4,4}$ ir $Tr_{4,5}$ turi ištakus, prijungtus prie žemės, o jų santakos atitinkamai prijungtos prie keturių žemiausių eilių $grant$ laidininkų $grant_0$, $grant_1$, $grant_2$ arba $grant_3$ ir prie laidininko rega penktojoje eilėje.

Laidininkas granta yra prijungtas prie kiekvienos užtūros MOP LET-ų $Tr_{0,1}$, $Tr_{1,1}$, $Tr_{2,1}$, $Tr_{3,1}$. Laidininkas reg0 prijungtas prie kiekvienos užtūros MOP LET $Tr_{1,2}$, $Tr_{2,2}$, $Tr_{3,2}$ ir $Tr_{4,2}$. Laidininkas reg1 yra prijungtas prie kiekvienos užtūros MOP LET-ų $Tr_{2,3}$, $Tr_{3,3}$ ir $Tr_{4,3}$. Laidininkas reg2 yra prijungtas prie kiekvienos užtūros MOP LET-ų $Tr_{3,4}$ ir $Tr_{4,4}$. Laidininkas reg3 yra prijungtas prie užtūros MOP LET $Tr_{4,5}$.

Prioritetinis dekodėris veikia dviem fazėmis. Pirmoji fazė, kai

takto signalas yra žemo lygio, visi grant-i yra įkraunami, suteikiant jiems aukštą (teisingą) lygį. Tada visi signalai reg-i bus žemo lygio (reikalavimo nereikia). Antroji fazė, kai takto signalas yra aukšto lygio, įkrovimo nėra. Kai vienas arba keli reg-i išėjimai taps aukšti, visi grant-i pereis į žemą lygį (neparinkta), ir rega - į žemą lygį. Jeigu rega taps žemo lygio, tada kairiųjų kaimyninių blokų reg-i (žr. 7 PAV.) pereis į aukštą lygį. Bloko 20 signalai rega ir granta nėra svarbūs. Bloko 20 grant_a yra prijungtas prie žemės. Bloko 20 signalas rega į laidininką 14 paduoda rezultata "ANY" ("BET KOKS") (1 PAV. ir 2 PAV.), nuo tada jis turi tapti žemo lygio, kai bet koks reg-i, prijungtas prie bet kokios ląstelės pertvarų, tampa aukšto lygio.

Elemento dalies 8 detali schema parodyta 8 PAV. Ši schema gali veikti kaip redukcinio tipo procesoriaus objekto atmintis. Elemento dalis 8 valdo saugojimo ląstelės 7 parenkantįjį laidininką acc, nuskaito parenkantįjį laidininką acc ir laidininką BET KOKS (ANY) 14, čia vadinamą any_type, perduoda operaciją wired_and ir wired_or magistralėms a ir b ir taip pat nuskaito magistralės a ir b. Be to, turi vidinį dinaminį atminties bitą.

N-tipo MOP LET n0 turi ištaka/santaka kanalą, prijungtą prie tokios pat įtampos Vr, kaip 6 PAV., ir prie parenkančiojo laidininko acc. Taktinis impulsas cpb yra paduodamas į MOP LET n0 užtūrą. N-tipo MOP LET n1 turi ištaka/santaka kanalą, įjungtą tarp žemės ir parenkančiojo laidininko acc.

Nuoseklus sujungimas dviejų lygiagrečiai sujungtų p-tipo MOP LET p2 ir p3 ištaka/santaka kanalų, p-tipo MOP LET p4 ištaka/santaka kanalo ir n-tipo MOP LET n5 ištaka/santaka kanalo yra įjungtas tarp maitinimo šaltinio įtampos Vcc ir žemės.

Laidininkas any_type, kuris tiesiogiai prijungtas prie artimiausios bito ląstelės, taip pat yra prijungtas prie MOP LET p2 užtūros. Laidininkas match per centrinį valdymo įrenginį (neparodytas) yra prijungtas prie MOP LET p3 užtūros. Parenkantysis laidininkas acc per inventorių INV1, kurį sudaro nuosekliai sujungti ištaka/santaka kanalai p-tipo MOP LET p1 ir n-tipo MOP LET n6, kurių užtūros yra prijungtos prie parenkančiojo laidininko acc, prijungtas prie MOP LET p4 užtūros. N-tipo MOP LET n7 turi santaka/ištaka kanalą, įjungtą tarp inventoriaus INV1 ir žemės. Laidininkas eval.s (įvertintas parinkimas), ateinantis iš centrinio valdymo įrenginio, yra prijungtas prie MOP LET n7 užtūros. Laidininkas set.s (nustatymas parinktas), ateinantis iš centrinio valdymo įrenginio, yra prijungtas prie MOP LET n5 užtūros.

MOP LET p4 ir n5 santakų sujungimo taškas i1, vadinamas selekcijos mazgu, yra prijungtas prie ištakos p-tipo MOP LET p6, turinčio santaką, prijungtą per p-tipo MOP LET p7 ištaka/santaka kanalą prie įtampos šaltinio +Vcc. Laidininkas reset.b, ateinantis iš centrinio valdymo įrenginio, yra prijungtas prie MOP LET p6 užtūros. Laidininkas b, kuris yra tas pats, kaip parodyta 2 PAV., yra prijungtas prie MOP LET p7 užtūros.

P-tipo MOP LET p8 santaka, prijungta prie laidininko a, kuris yra tas pats, kaip parodyta 2 PAV., o jo ištaka prijungta prie tarpjungio taško i2. Laidininkas Wanda.a, t.y. wired_and_a (montažinis_ir_a), ateinantis iš centrinio valdymo įrenginio, yra prijungtas prie MOP LET p8 užtūros. P-tipo MOP LET p9 santaka, yra prijungta prie laidininko b, o jo ištaka - prie tarpjungio taško i2. Laidininkas Wand.b, t.y. wired_and_b, (montažinis_ir_b),

ateinantis iš centrinio valdymo įrenginio, yra prijungtas prie MOP LET p9 užtūros. P-tipo MOP LET p10 santaka, prijungta prie tarpjungio taško i2, o jo ištaka prijungta prie maitinimo šaltinio įtampos +Vcc. Tarpjungio taškas i1 per invertorių INV2 yra prijungtas prie MOP LET p10 užtūros. Invertorių INV2 sudaro nuosekliai sujungti ištaka/santaka kanalai p-tipo MOP LET p14 ir n-tipo MOP LET n8, įjungtų tarp maitinimo šaltinio įtampos +Vcc ir žemės, ir turinčių užtūras, prijungtas prie tarpjungio taško i1.

Dviejų p-tipų MOP LET p11 ir p12 ištaka/santaka kanalų nuoseklus sujungimas yra įjungtas tarp laidininko a ir maitinimo šaltinio įtampos +Vcc. Laidininkas Wor, t.y. wired or (montažinis arba), ateinantis iš centrinio valdymo įrenginio yra prijungtas prie MOP LET p12 užtūros. Tarpjungio taškas i1 yra prijungtas prie MOP LET p11 užtūros. P-tipo MOP LET p13 turi ištaka/santaka kanalą, prijungta tarp laidininko a ir tarpjungio taško i1. Laidininkas s.a, t.y. select a (selekcija a), ateinantis iš centrinio valdymo įrenginio, prijungtas prie MOP LET p13 užtūros.

N-tipo MOP LET n2, p-tipo MOP LET p15, p-tipo MOP LET p16 santaka/ištaka kanalų nuoseklus sujungimas yra įjungtas tarp žemės ir maitinimo šaltinio įtampos +Vcc. MOP LET n2 ir p15 santakų tarpjungio taškas i3 yra prijungtas prie MOP LET n1 užtūros. Dviejų p-tipo MOP LET p17 ir MOP LET p18 nuoseklus sujungimas yra prijungtas prie tarpjungio taško i3 ir maitinimo šaltinio įtampos +Vcc. Tarpjungio taškas i1, select node (selekcijos mazgas), yra prijungtas prie MOP LET 18 užtūros. Laidininkas r/w.b, t.y. read/write b (skaityti/rašyti b), ateinantis iš centrinio valdymo įrenginio, yra prijungtas prie MOP LET p15 invertuotos užtūros. Laidininkas r/w.s, t.y. read/write select (skaityti/rašyti išrinkta), ateinantis iš centrinio valdymo įrenginio, yra

prijungtas prie MOP LET p17 invertuotos užtūros. Laidininkas r/w.r, t.y. read/write nulinio nustatymas (skaityti/rašyti nulinio nustatymas), kuris ateina iš centrinio valdymo įrenginio ir po skaitymo arba rašymo operacijos mazge i3 nustato nulį, yra prijungtas prie MOP LET n2 užtūros.

Elemento dalies 8 schemos, parodytos 8 PAV., loginis veikimas yra toks. MOP LET n0 kiekvienas neigiamas takto impulsas prijungia parenkantįjį laidininką acc, o MOP LET n1 nustato laidininke acc žemą lygį skaitant arba rašant. MOP LET n2 nustato mazge i3 žemą lygį ir laiko MOP LET n1 išjungtą, t.y. nelaidų.

MOP LET p17 ir p18 formuoja signalą skaityti/rašyti, kurį valdo select node (selekcijos mazgas n1) signalas. Tai naudojama lyginimo tipo komandoms, pavyzdžiui, valant pertvaro ląstelės žymę arba skaitant pertvaro ląstelės atpažinimo ženklą, ir tada, jei nenustatyta žymė, kai vyksta skirtingi įvykiai, priklausantys nuo informacijos magistralėse a ir b.

Lyginimo funkcija lygina reikšmę, pavyzdžiui, taip vadinamą rezultato reikšmę, pagrindinėje ląstelėje ir saugojimo ląstelėje, ir įvertina šias reikšmes, apibrėžtas dviejų visumų. Rezultatas gaunamas neteisingas, jei visumos nesusikerta. Šis atvejis taip pat galioja, kai pertvarų dalys nėra visiškai įvertintos.

MOP LET n5 įkrauna selekcijos mazgą i1, o grandinė, sudaryta iš MOP LET p2 - p4, formuoja jo būseną, kai iš išorinio valdymo įrenginio paduodamas signalas eval_s į MOP LET n7 užtūrą. MOP LET p8 - p10 formuoja wired_and (montažinis ir) magistralėje a ir and/or (ir/arba) magistralėje b, priklausomai nuo valdymo signalų, gaunamų iš centrinio valdymo įrenginio. MOP LET p11 ir p12

formuoja `wired_or` (montažinis arba) magistralėje a, priklausomai nuo valdymo signalų iš centrinio valdymo įrenginio.

Invertorius INV2 invertuoja selekcijos bitą selekcijos mazge 11. Tai reikalinga, nes yra formuojami abu `wired_or` (montažinis arba) ir `wired_and` (montažinis ir). MOP LET p13 perduoda reikšmę, esančią magistralėje a, į selekcijos mazgą. Turi būti perduodamas tiksliai aukštas lygis, po to selekcijos mazgas turi pereiti į žemą lygį. Galiausiai valdomi MOP LET p6 ir p7 yra naudojami aukštam lygiui nustatyti. To reikia žymėtos saugojimo ląstelės skaitymo komandai ir šios ląstelės žymei valyti, kadangi selekcijos mazge turi būti nustatytas nulis tuo metu, kai yra vykdomas skaitymas. Šis požymis taip pat gali būti naudojamas kitiems komandų tipams, kai loginio IR operacija yra formuojama dalyje 8.

Signalas `any_type` laidininkas yra tiesiogiai jungiamas su artimiausia bito ląstele. Joje yra išimintos reikšmės tipas. Vykdamas lyginimo komandą, MOP LET p3 yra išjungtas, todėl aukštas lygis laidininke `any_type` atitiks teisingą sutapimo rezultatą. Taip pat, kad būtų galima nustatyti, kuri saugojimo ląstelė yra nenaudojama, aukštas lygis laidininke `any_type`, kai MOP LET p3 išjungtas, turi paveikti signalą `select on` (selekcija įjungta), o selekcijos mazgas turi pereiti į žemą lygį. Kad būtų galima nustatyti, ar yra reikšmių lygybė MOP LET p3 turi būti įjungtas, t.y. turi būti laidas.

Pertvaro dalies 11 schema, parodyta 9 PAV., gali formuoti prioriteto operaciją ir REŽIMO (MODE) operaciją magistralėje a arba magistralėje b. Taip pat ši grandinė yra taikoma redukcinio tipo kompiuteriui. Abi minėtos operacijos gali būti formuojamos tuo pačiu metu skirtingose magistralėse. Kai vyksta operacija

REŽIMAS (MODE), valdoma magistralė 4 (REŽIMAS - MODE), kuri parodyta 1 PAV. ir 2 PAV., reaguoja į aukštą arba žemą lygį magistralėje a, o tuo tarpu magistralė b reaguoja tik į žemą lygį. Pertvaro dalis (11) taip pat gali nustatyti pradinę globalinio signalo DAUGIAU (MORE) būseną magistralėje 5 (žr. 1 PAV.) ir, vykdant skaitymo ir rašymo operacijas, atgal gražinti senus magistralės duomenis į magistralės a ir b.

Abi grandinės, formuojančios operaciją REŽIMAS (MODE), ir grandinė, formuojanti prioriteto operaciją, yra sudarytos pagal dviejų pakopų domino principą. Pirmoji pakopa nusako, kuri bus įėjimo magistralė ir koreguoja poliarumą, o antroji pakopa formuoja vykdomą operaciją. Taigi pertvaro dalis 11 veikia dviem fazėmis: pirmoji - įkrovos fazė, o antroji - veiklos fazė. Todėl įkraunamų n-tipo MOP LET n20, n21, n22 ir n23 užtūras valdo taktinis signalas prech, atėjęs iš centrinio valdymo įrenginio. MOP LET n20 įkrauna magistralę a, n21 - magistralę b, n22 - prioritetinio dekodierio 2 magistralę reg, o n23 kontaktų grandinę F1 nustato į žemą lygį.

Kontaktinę grandinę F1 sudaro atitinkamai dvi lygiagrečios grandinės, nuosekliai sujungtų p-tipo MOP LET p20, p21 ir p22, p23 ištaka/santaka kanalų porų. Grandinė F1 yra iš vienos pusės prijungta prie žemės per MOP LET n23 ištaka/santaka kanalą, o iš kitos pusės - prie maitinimo šaltinio įtampos +Vcc. Magistralė a yra prijungta prie MOP LET p20 užtūros ir per invertorių INV 20 - prie MOP LET p23 užtūros, kurias valdo signalas a^* - invertuotas signalas magistralėje a. Signalas mode.a (režimas a) iš centrinio valdymo įrenginio yra paduodamas į MOP LET p21 užtūrą, o jo invertuotas signalas $mode.a^*$ iš centrinio valdymo įrenginio veikia MOP LET p22 užtūrą. Kontaktinė grandinė F1 realizuoja funkciją

a*mode.a versus a*mode.a* (versus (lot.) reiškia "palyginus su").

Dviejų p-tipo MOP LET p24 ir p25 ištaka/santaka kanalų nuoseklus sujungimas yra įjungtas tarp maitinimo šaltinio įtampos +Vcc ir magistralės b. Magistralė a yra prijungta prie MOP LET p24 užtūros, o signalas ba, atėjęs iš centrinio valdymo įrenginio, valdo MOP LET p25 užtūrą.

Mazgas tarp grandinės F1 ir MOP LET n23 santakos yra prijungtas prie užtūros n-tipo MOP LET n24, kurio ištakas prijungtas prie žemės, o santaka prie magistralės 4 (REŽIMAS - MODE), kuri parodyta 1 PAV. ir 2 PAV. Visa ši grandinė formuoja režimo signalą. Dviejų p-tipo MOP LET p26 ir p27 ištaka/santaka kanalų nuoseklus sujungimas yra įjungtas tarp maitinimo šaltinio įtampos +Vcc ir magistralės b. Režimo signalas (mode-signal) yra magistralėje 4. Du invertoriai INV 21 ir INV 22 sustiprina šį režimo signalą ir paduoda į MOP LET p27 užtūrą. Signalas mode.b yra paduodamas iš centrinio valdymo įrenginio į MOP LET p26 užtūrą.

Signalas mode.a vykdo režimo operaciją magistralėje a. Signalas mode.a* taip pat vykdo režimo operaciją magistralėje a ir formuoja invertuotą mode.a* reikšmę magistralėje. Signalas ba nustato magistralėje "aukštą" lygį, jeigu magistralėje a yra "žemas" lygis. Signalas mode.b nustato magistralėje b "aukštą" lygį, jeigu magistralėje yra "žemame" lygis. Signalas prech magistralėse a ir b įkrauna "žemą" lygį.

Jei REŽIMO (MODE) operacija yra vykdoma signalui a arba signalui a*, selekciją atlieka kontaktinė grandinė F1. Magistralė REŽIMAS (MODE) 4 gali tada būti nustatyta žemės lygio visoms objektams.

atminties pertvaro dalims 11. Valdymo signalas mode.b, paduotas į tranzistoriaus p26 užtūrą, magistralėje b nustatys aukštą lygį. Tokiu būdu galima padaryti du skirtingus patikrinimus magistralėje a ir magistralėje b. Jei tikrinimas magistralėje a duoda "aukšto" lygio rezultata, nulemtą vykdomos šiuo metu operacijos, tada magistralė b gali būti "aukšto" lygio. Pavyzdžiui, WIRED OR (MONTAŽINIS ARBA) gali būti įvykdyta vienoje iš magistralių a ir b, o WIRED AND (MONTAŽINIS IR) - kitoje, tada loginė operacija gali būti vykdoma, kai yra patenkinama sąlyga - jei rezultatas magistralėje a yra, pavyzdžiui, "neteisingas", tada magistralė b gali duoti "neteisingą". Kita sąlyga - padaryti kitą operaciją, pagrįstą magistralės b rezultatu.

Dviejų p-tipo MOP LET p28 ir p29 ištaka/santaka kanalų nuoseklus sujungimas yra įjungtas tarp maitinimo šaltinio įtampos +Vcc ir magistralės b. Signalas grant iš prioritetinio dekoderio 2 per invertorių INV 23 yra sujungtas su vienu vartų NAND įėjimu, o NAND1 ir signalas reg - su kitu įėjimu. NAND vartus sudaro du n-tipo MOP LET 25 ir 26, kurių ištaka/santaka kanalai nuosekliai sujungti, ir du p-tipo MOP LET p32 ir p34, kurių ištaka/santaka kanalai sujungti lygiagrečiai ir įjungti tarp MOP LET n26 santakos ir maitinimo šaltinio įtampos Vcc. MOP LET n25 ištakas yra prijungtas prie žemės.

Signalas grant* veikia MOP LET n24 ir p34 užtūras, o signalas reg - MOP LET n25 ir p32 užtūras. NAND vartų išėjimas yra prijungtas prie MOP LET p28 užtūros ir prie p-tipo MOP LET p33 užtūros, turinčios ištaka/santaka kanalą, įjungtą tarp maitinimo šaltinio įtampos Vcc ir laidininko DAUGIAU (MORE) 5. Signalas grant.b iš centrinio valdymo įrenginio yra paduodamas į MOP LET p29 užtūrą.

Dviejų p-tipo MOP LET p30 ir p31 ištaka/santaka kanalų nuoseklus sujungimas yra įjungtas tarp maitinimo šaltinio įtampos +Vcc ir prioritetinio dekoderio 2 magistralės reg. Signalas prio iš centrinio valdymo įrenginio veikia MOP LET p30 užtūrą, ir magistralė b yra prijungta prie MOP LET p31 užtūros.

Objekto atminties signalas prio iš centrinio valdymo įrenginio per pertvaro dalį (11) valdo paklausimo signalo padavimą į dekoderį 2, t.y. pateikia aukštą signalą reg, jei magistralė b yra "žema". NAND-vartai p32, p34, n25, n26 veikia normaliai, jei signalas reg yra aukšto lygio, o signalas grant - žemo lygio, t.y. jei prioriteto reikalaujama, bet jis neduodamas. Tokiu būdu NAND-vartai eina žemyn ir magistralėje 5 (MORE - DAUGIAU) nustato "aukštą" lygį, t.y. parodo, kad ten yra prioriteto poreikis. Signalas grant.b yra naudojamas "aukštam" lygiui magistralėje b nustatyti, jei signalas reg yra "aukšto" lygio, o signalas grant - "žemo". Pradžioje signalas prio turi ateiti iš centrinio valdymo įrenginio, o po to - signalas grant.b, tada bent vienoje objekto atminties saugojimo ląstelėje magistralė b turės "žemą" lygį.

Aprašius šį išradimą pagal pateiktas schemas, tie, kurie igudę šiuose dalykuose, suvoks, kad įvairūs ekvivalentiški elementų pakeitimai gali būti daromi nenutolstant nuo tikrosios šio išradimo esmės ir tikslų. Be to, išradimo patobulinimai gali būti daromi ir nesilaikant, išradime pateiktų, esminių pamokymų.

IŠRADIMO APIBREŽTIS

1. Asociatyviają atmintį, turinčią atminties duomenų magistralės įrenginį (t1, t2, id, env, v0, v1, v2, v3), sudaro:

kelios saugojimo ląstelės (1), kurios saugo sukomponuotą informaciją, ir kurios prijungtos prie atminties duomenų magistralės įrenginio,

priemonė, daranti raktinių duomenų paieškos operacijas tarp ląstelių per atminties magistralės įrenginį, kad išrinktų mažiausiai vieną žymę, parodančią saugojimo ląstelės mažiausią išrinktą būseną arba neišrinktą būseną,

pagrindinė priemonė (8), sauganti žymę arba žymes kiekvienoje saugojimo ląstelėje,

prioritetinis dekoderis (2), kurio visos saugojimo ląstelės yra sugrupuotos, o jose reikalaujančioms selekcijos operacijoms atrenkamas vienas išėjimas iš kelių saugojimo ląstelių, ir

priemonė (11), kiekvienoje saugojimo ląstelėje nustatanti prioritetinio paklausimo būseną saugojimo ląstelėms tarp saugojimo ląstelių, remiantis žyme arba žymėmis vadinamoje pagrindinėje priemonėje, kuri yra saugojimo ląstelėje, priklausomai nuo šiuo momentu daromos operacijos, jei daroma operacija reikalauja selekcijos,

b e s i s k i r i a n č i a tuo, kad

pirmasis valdymo magistralės įrenginys (any_type, Vr, cpb, set.s, match, r/w.s, r/w.b, r/w.r, Wand.a, Wand.b, Wor, s.a, reset.b, mode.a, mode.a*, prech, ba, mode.b, grant.b, prio ir kiti) vienu metu išoriškai valdo saugojimo ląsteles pagal nurodymą dabar vykdomai operacijai, ir prijungtas, prie priemonės (11),

nustatančios prioritetinio paklausimo būseną, kad parinktų tokia paklausimo būseną, kokios reikalaujama, ir

prioritetinis dekoderis (2), turintis elektrines grandines, skaitančias paklausimo būseną iš priemonės (11), nustatančios prioritetinio paklausimo būseną visose saugojimo ląstelėse, išrenkant vieną saugojimo ląstelių išėjimą, reikalaujanti paklausimo, ir pateikiančias atmintyje kiekvienos saugojimo ląstelės individualų rezultatą, nurodanti klausiamos ląstelės išrinkimą arba neišrinkimą.

2. Atmintis pagal pirmąjį Apibrėžimo punktą, b e s i s k i r i a n t i tuo, kad prioritetinį dekoderį (2) sudaro kombinacinė grandinė (20 iki 27), kuri parodo visų saugojimo ląstelių prioritetinę reikalavimo būseną vienu metu, o gražinant signalą į visas saugojimo ląsteles vienu metu parodo selekciją arba neselekciją.

3. Atmintis pagal kiekvieną nuo 1 iki 2 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad prioritetinį dekoderį (2) sudaro viena sekcija kiekvienai saugojimo ląstelei, kiekviena sekcija turi pirmą sujungimą, skirtą signalui REIKALAVIMAS (REQUEST), kuris, kai bito reikšmė "teisinga", rodo saugojimo ląstelės selekcijos poreikį, o kai bito reikšmė "neteisinga", rodo, kad nėra saugojimo ląstelės selekcijos poreikio, ir antrasis ryšys saugojimo ląstelės dotuotai selekcijai, kuriame bito reikšmė "teisinga" rodo išrinkimą, o "neteisinga" - neišrinkimą.

4. Atmintis pagal kiekvieną nuo 1 iki 3 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad kiekviena saugojimo

ląstelė dalinama į keletą saugojimo laukų (IDENTITY, ENVIRONMENT, VALUE/DES.₀, VALUE/DES.₁, VALUE/DES.₂, VALUE/DES.₃), kurių kiekvienas turi saugojimo lauko pagrindinę priemonę (8) ir kiekvienas yra pritaikytas išiminti vieną žymę,

saugojimo lauko pagrindinės priemonės (8) saugojimo ląstelėje yra tarpusavyje jungiamos, priemonės užtikrina mažiausiai vieną montažinę loginę operaciją, žymių būsenų nustatytoje pagrindinėje priemonėje,

priemonės (11), nustatančios reikalavimus, yra veikiamos loginių operacijų rezultatų, o šie paremti skaičiavimais, atliktais atminties viduje, nustato prioriteto reikalavimo būseną, priklausomai nuo montažinės loginės operacijos rezultato ir priklausomai nuo išorinio valdymo signalo, nurodančio montažinės loginės operacijos tipą, reikalingą šiuo metu atmintyje vykdomai operacijai,

priemonė paieškos operacijoms daryti turi įrenginį kiekvienoje saugojimo ląstelėje, skirtą sutapimams tarp išorinių reikšmių duomenų magistralės įrenginių ir mažiausios atrinktos turinio dalies saugojimo lauke parodyti, ir duodantį žymės bitą, priklausomai nuo lyginimo rezultato.

5. Atmintis pagal kiekvieną nuo 1 iki 4 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad mažiausiai viena globalinė magistralė (4, 5, 14) yra prijungta prie kiekvienos saugojimo ląstelės ir rodo loginės operacijos IR arba ARBA tipą, ir priemonė (11) kiekvienoje saugojimo ląstelėje turinti mažiausiai vienerius loginius vartus, prijungtus prie mažiausiai vienos globalinės magistralės saugojimo ląstelei valdyti, dalyvaujantys šiuo metu

vykdomojoje loginėje operacijoje, priklausomai nuo sąlygų, lemiančių vartų išorinį valdymą.

6. Atmintis pagal kiekvieną nuo 1 iki 5 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad kiekvieną saugojimo ląstelę sudaro mažiausiai viena saugojimo lauko būseną (LAZY, WHERE, TYPE - NEVEIKLI, KUR, TIPAS), rodanti būseną arba būsenas turinio saugojimo ląstelėje.

7. Atmintis pagal kiekvieną nuo 1 iki 6 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad kiekviena saugojimo ląstelė yra skirstoma į keletą saugojimo laukų (IDENTITY, ENVIRONMENT, VALUE/DES. ₀, VALUE/DES. ₁, VALUE/DES. ₂, VALUE/DES. ₃), kurių kiekvienas turi saugojimo lauko pagrindinę priemonę (8) ir kurių kiekvienas yra pritaikytas saugoti vieną žymę, ir tuo, kad mažiausiai viena antroji magistralė (a, b) yra prijungta prie pagrindinės priemonės (8) saugojimo laukuose (6), kurių kiekviename yra saugojimo ląstelė loginėms operacijoms WIRED IR ir WIRED ARBA tipo tarp saugojimo laukų rodyti, kiekvienas iš saugojimo laukų turi priemonę skaityti mažiausiai vieną antrąją magistralę ir dalyvauti vykdomoje loginėje operacijoje.

8. Atmintis pagal kiekvieną nuo 1 iki 7 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad saugojimo ląstelės yra prijungtos prie centrinio valdymo įrenginio per valdymo magistralę, kuri yra paskirstyta saugojimo ląstelėms ir saugojimo ląstelių valdymo priemonėms, ir tuo, kad duomenų žodžiai gali būti perduoti į atmintį arba iš atminties per atminties magistralę, prijungtą prie duomenų įvedimo/išvedimo priemonės (9), į valdymo magistralę sukomponuotos informacijos pavidalo.

9. Atmintis pagal kiekvieną nuo 5 iki 8 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad kiekvieną saugojimo lauką sudaro viena iš pagrindinių dalių (8), išimenantį žymes, kurios yra etikečių pavidalo, ir keletas bito ląstelių, kuriose yra išimunami duomenų žodžio bitai, kai kiekviena ląstelė yra prijungta prie kiekvienos iš kitų ląstelių tame pačiame saugojimo lauke ir prie pagrindinės priemonės.

10. Atmintis pagal 9 Apibrėžties punktą b e s i s k i r i a n t i tuo, kad iš pagrindinės priemonės (8) bito ląstelių valdymas priklauso nuo loginių sąlygų, kurių kiekviena yra antrosios magistralės (a, b) duomenų funkcija, nuo žymės(ių), kurios yra tol, kol vyksta valdymas, nuo lyginimo rezultato lyginimo operacijos atveju ir nuo valdymo signalo iš centrinio valdymo įrenginio į atmintį.

11. Atmintis pagal 8 ir 9 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad žymė(ės), turinčios etiketės(čių) pavidalą, yra nustatomos priklausomai nuo loginių sąlygų, kurių kiekviena yra antrosios magistralės (a, b) duomenų funkcija, nuo žymės(ių), turinčios(ių) etiketės(čių) pavidalą ir esančios(ių) iki naujo nustatymo, nuo lyginimo rezultato lyginimo operacijos atveju ir nuo valdymo signalo iš centrinio įrenginio į atmintį.

12. Atmintis pagal kiekvieną nuo 8 iki 11 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad pirmasis laidininkas (acc), prijungtas prie pagrindinės priemonės (8), tarpusavy jungia visas bito ląsteles saugojimo lauko (6) viduje; tuo, kad visos bito ląstelės atmintyje turi eiles ir stulpelius, bito ląstelės

kiekvienoje eilėje yra nesusietos tarp saugojimo ląstelių; ir tuo, kad visos bito ląstelės saugojimo laukų (6) viduje yra valdomos pirmojo laidininko (acc) signalų, ir, kad kiekvienam bito ląstelės stulpeliui atmintyje kiti laidininkai (d, d*) yra prijungti prie visų bito ląstelių bito ląstelių stulpelyje ir prijungti prie duomenų įvedimo/išvedimo priemonės (9).

13. Atmintis pagal kiekvieną nuo 1 iki 12 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad paieška saugojimo laukuose yra daroma: lyginant žymę(es), kurios yra etiketės(čių) pavidalo, valdant pagrindinei priemonei (8) saugojimo lauke, ir duoda lyginimo sutapimo arba lyginimo nesutapimo rezultata, ir, kad paieška yra daroma vienu iš šių būdų:

(1). Paieška daroma individualiai kiekviename saugojimo lauke ir yra nepriklausoma nuo sukomponuotos informacijos kituose atminties saugojimo laukuose, tiksliai individualiai parinkto saugojimo lauko pagrindinė priemonė (8) yra valdoma .

(2). Paieška gali būti padaryta naudojant lyginimą išrinktiems saugojimo laukams (6) saugojimo ląstelėse, pagrindinė priemonė (8) išrinktuose saugojimo laukuose yra valdoma, ir rezultatas turi būti lyginimo atitikimas saugojimo ląstelių, kurios yra išrinktos kaip atitinkančios paieškos sąlygas kiekviename išrinktame saugojimo lauke.

(3). Paieška gali būti padaryta naudojant lyginimą išrinktiems saugojimo laukams (6) saugojimo ląstelėse, pagrindinė priemonė (8) išrinktuose saugojimo laukuose yra valdoma, ir rezultatas turi būti lyginimo atitikimas saugojimo ląstelių, kurios yra išrinktos kaip atitinkančios paieškos sąlygas

mažiausiai viename iš išrinktų saugojimo laukų.

14. Atmintis pagal 4 ir 13 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad palyginimas bito modulio saugojimo laukuose su bito modulių atminties duomenų magistralėje yra daromas vienu iš šių būdų, priklausomai nuo kodavimo duomenų, kurie turi būti lyginami vienas su kitu, kai kiekvienas bito modulis gali būti koduotas dviem skirtingais būdais:

(1). jei abu, bito modulis saugojimo lauke ir bito modulis duomenų magistralėje, turi pirmos rūšies kodavimą, rodantį specifinę informacijos reikšmę, lyginimo operacija duoda lyginimo atitikimą tik tada, kai visi atitinkantys bitai dviejuose bito moduluose yra vienodi.

(2). jei mažiausiai vienas bito modulis saugojimo lauke ir bito modulis duomenų magistralėje turi antros rūšies kodavimą, rodantį sutartinę informacijos reikšmę, tai lyginimo operacija visada duoda lyginimo atitikimą.

15. Atmintis, pagal kiekvieną Apibrėžties punktą nuo 1 iki 14, b e s i s k i r i a n t i tuo, kad ją sudaro bito ląstelės, kiekviena bito ląstelė gali saugoti bito reikšmę, reikšmė gali būti 'teisinga' arba 'neteisinga'; bito ląstelę sudaro:

pirmasis, antrasis, trečiasis ir ketvirtasis ryšys (V_{cc} , acc, d, d^*);

trigeris, sudarytas iš kryžmai sujungtos tranzistorių poros, kurie turi vieną emiterį arba santakos elektrodą ir susijusias apkrovas (T_1 , T_2 , L_1 , L_2 ; T_1 , T_2 , I_1 , I_2), turintis savo maitinimo įtampą tarp pirmojo (V_{cc}) ir antrojo (acc) ryšio ir iš kiekvienos pusės valdomas per vadinamus trečiąjį ir ketvirtąjį ryšius (d, d^*),

turintis pirmąjį ir antrąjį mazgus (n_1 , n_2), nustatomus tarpusavyje skirtingais įtampos lygiais, viena iš įtampų lygių kombinacijų, nusakanti saugomo bito vertę, - "teisinga", o kita saugomo bito vertė - "neteisinga", ir turintis pirmąją atskiriančiąją lyginimo priemonę (D_1), įjungtą tarp vadinamo trečiojo ryšio (d) ir vadinamo pirmojo mazgo (n_1), ir antrąją atskiriančiąją lyginimo priemonę (D_2), įjungtą tarp vadinamo ketvirtąjo ryšio (d^*) ir vadinamo antrojo mazgo (n_2); duomenų įvedimo/išvedimo priemonę (G), sujungtą su vadinamu trečiuoju ir ketvirtuoju ryšiu (d , d^*), pagrindinę priemonę (B), sujungtą su antruoju ryšiu (acc); pirmąjį ryšį, esantį nuolat prijungtą prie maitinimo šaltinio įtampos, antrąjį, trečiąjį ir ketvirtąjį ryšius, kurie gali įgauti skirtingą būsenų rinkinį priklausomai nuo duomenų įvedimo/išvedimo priemonės (G) ir nuo pagrindinės priemonės (B) taip, kad ląstelė gali užimti tam tikrą funkcinę būseną iš funkcinių būsenų rinkinio, iš kurių kiekviena atitinka tam tikrą kombinaciją antrojo, trečiojo ir ketvirtąjo ryšių būsenų iš jų būsenų rinkinio; ir tuo, kad funkcinė būsena, kai ląstelės būsena palyginama su įėjimo duomenimis, duomenų įvedimo/išvedimo priemonė (G) paduoda porą komplementinių įėjimo signalų į trečiąjį ir ketvirtąjį ryšį (d , d^*), ir pagrindinė priemonė (B) turi trečiąją priemonę (T_3) antrajam ryšiui (acc) iškrauti iki atraminės įtampos lygio (V_r) ir ketvirtąją priemonę (AMP) įtampos pokyčiui antrajame ryšyje nustatyti.

16. Atminties bito ląstelė pagal 15 Apibrėžties punktą, b e s i s k i r i a n t i tuo, kad tuose būsenų rinkiniuose vadinamos ląstelės antrasis, trečiasis ir ketvirtasis ryšiai turi "aukštą" lygį, "žemą" lygį, srovė neteka į ląstelę, srovė teka į ląstelę trečiajame ir ketvirtajame ryšyje, ir taip pat srovė teka

iš ląstelės antrajame ryšyje (acc), "aukštas" ir "žemas" lygis yra susietas su tuo, ar įtampa tampa teigiama ar neigiama, t.y. susietas su tuo, ar įtampa (Vcc) pirmajame ryšyje yra teigiama ar neigiama žemės atžvilgiu.

17. Atminties bito ląstelė pagal 15 arba 16 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad abi duomenų įvedimo/išvedimo priemonės (9) ir pagrindinės priemonės (8) visoms ląstelės grandinės funkcinėms būsenoms yra pritaikytos antrojo, trečiojo ir ketvirtąjo ryšio (acc, d, d*) valdymui, sudarytam iš dviejų fazių ciklo: pirmoji fazė - įkrovos, kurioje antrasis, trečiasis, ir ketvirtasis ryšys yra prijungti prie ypatingos įtampos (Vr), kurios dydis yra tarp pirmojo ryšio įtampos (Vcc) ir žemės, ir antroji fazė - veiklos, kuri nustato ląstelės apibrėžtas funkcines būsenas, "aukštas" ir "žemas" lygis nusakomas ypatingos įtampos (Vr) atžvilgiu, "aukštas" ir "žemas" lygis yra susijęs su tuo, ar įtampa grandinėje turi teigiamą ar neigiamą eigą.

18. Atminties bito ląstelė pagal kiekvieną 16 arba 17 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad operacijos režimas rest (likutis) yra nustatomas duomenų įvedimo/išvedimo priemone (9) ir pagrindine priemone (8), kuri į antrąjį, trečiąjį ir ketvirtąjį ryšį (acc, d, d*) paduoda kombinaciją: aukštas, žemas, žemas.

19. Atminties bito ląstelė pagal kiekvieną nuo 16 iki 18 Apibrėžties punktus b e s i s k i r i a n t i tuo, kad operacijos režimas read false (skaityti neteisingą) yra nustatomas duomenų įvedimo/išvedimo priemone ir pagrindine priemone, kuri į antrąjį, trečiąjį ir ketvirtąjį ryšį (acc, d, d*) paduoda kombinaciją: žemas, srovė į, žemas.

20. Atminties bito ląstelė pagal kiekvieną nuo 16 iki 19 Apibrėžties punktus `b e s i s k i r i a n t i` tuo, kad operacijos režimas `read true` (skaityti teisingą) yra nustatomas duomenų įvedimo/išvedimo priemone ir pagrindine priemone, kuri į antrąjį, trečiąjį ir ketvirtąjį ryšį (`acc`, `d`, `d*`) paduoda kombinaciją: žemas, žemas, srovė į.

21. Atminties bito ląstelė pagal kiekvieną nuo 16 iki 20 Apibrėžties punktus `b e s i s k i r i a n t i` tuo, kad operacijos režimas `don't read` (neskaityti) ir operacijos režimas `don't write` (nerašyti) yra nustatomi pagrindine priemone (8), kuri į antrąjį ryšį (`acc`) paduoda aukštą.

22. Atminties bito ląstelė pagal kiekvieną nuo 16 iki 21 Apibrėžties punktus `b e s i s k i r i a n t i` tuo, kad antrasis ryšys yra parenkantysis ryšys (`acc`) ir tuo, kad įrašant į ląstelės grandinę duomenų įvedimo/išvedimo priemonės paduoda porą komplementinių įėjimo signalų į trečiąjį ir ketvirtąjį ryšį (`d`, `d*`), ir tuo, kad pagrindinė priemonė turi savyje penktąją priemonę, paduodančią "žemą" lygį į antrąjį ryšį (`acc`).

23. Atminties bito ląstelė pagal kiekvieną nuo 16 iki 22 Apibrėžties punktus `b e s i s k i r i a n t i` tuo, kad duomenų įvedimo/išvedimo priemonė (9) gali nustatyti skirtingas komplementinių įėjimo signalų kombinacijas trečiajame ir ketvirtajame ryšyje (`d`, `d*`) operacijoms `comp. false` (lyginti neteisingą) ir `comp. true` (lyginti teisingą).

24. Atminties bito ląstelė pagal kiekvieną nuo 16 iki 23 Apibrėžties punktus `b e s i s k i r i a n t i` tuo, kad operacijos

režimas don't comp. (nelyginti) yra sudaromas dumenų įvedimo/išvedimo priemone (9), trečiajame ir ketvirtajame ryšyje (d , d^*) nustatant lygi žemas, ir kartu veikiant trečiajai ir ketvirtajai priemonei (T3 ir AMP), kurios yra antroje priemonėje (8).

ATMINPTIES MAGISTRALĒ

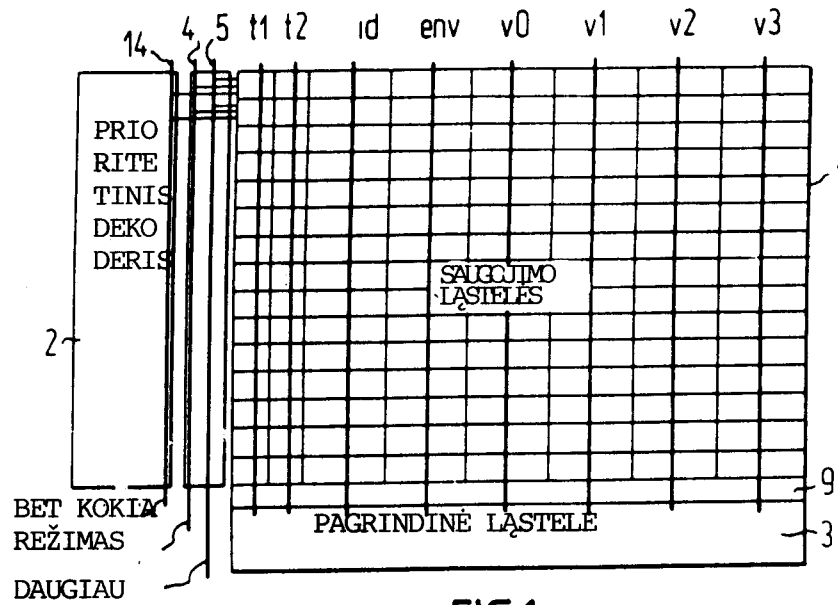


FIG. 1

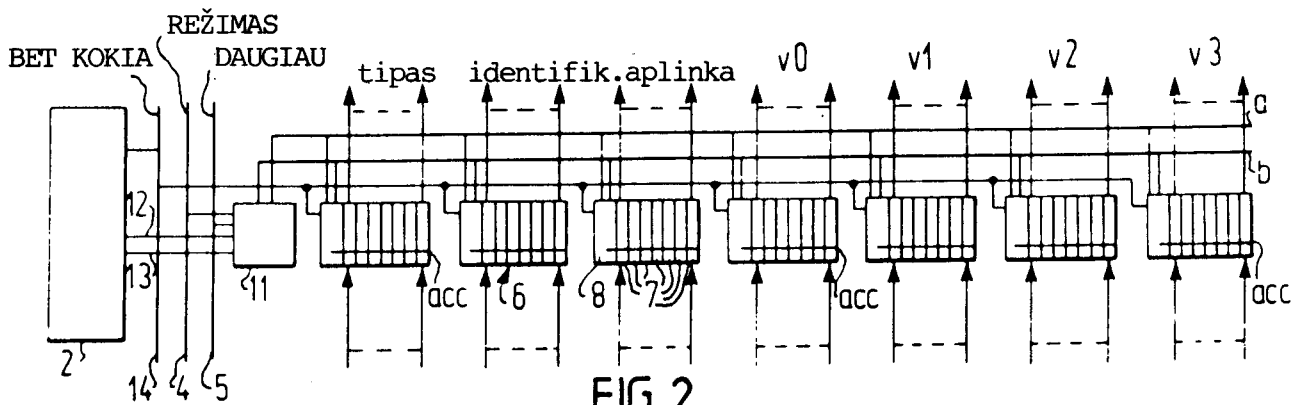


FIG. 2

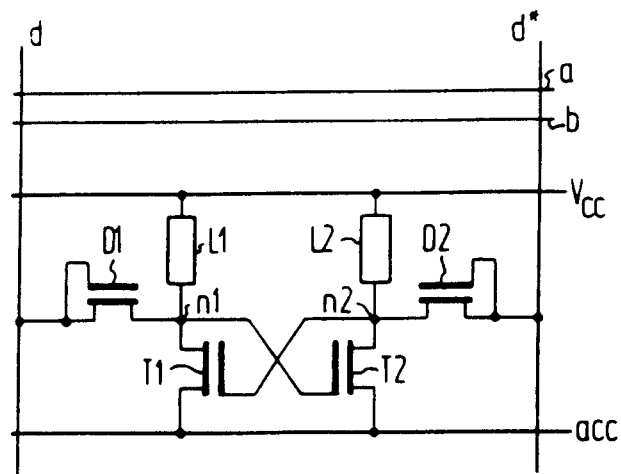


FIG. 5

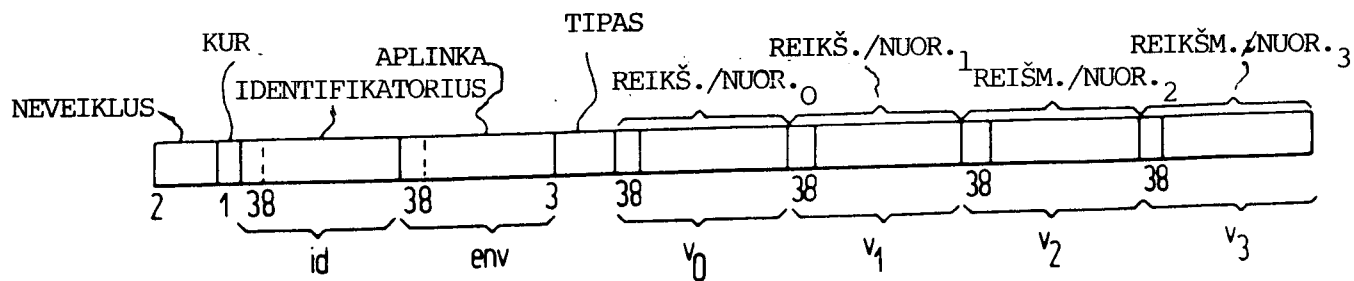


FIG.3

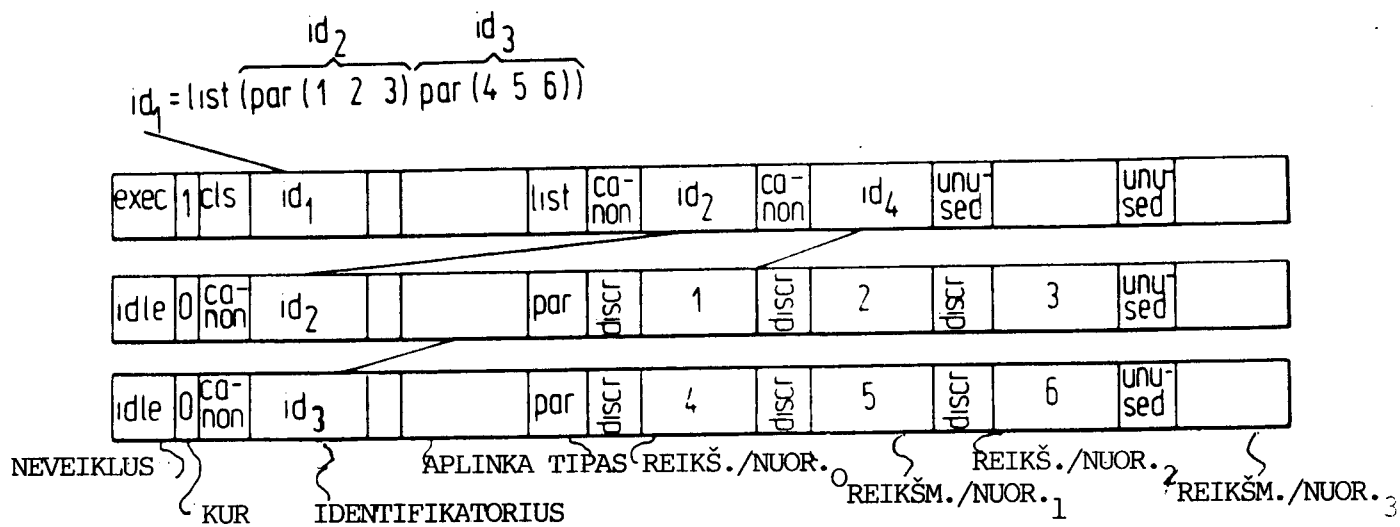


FIG. 4

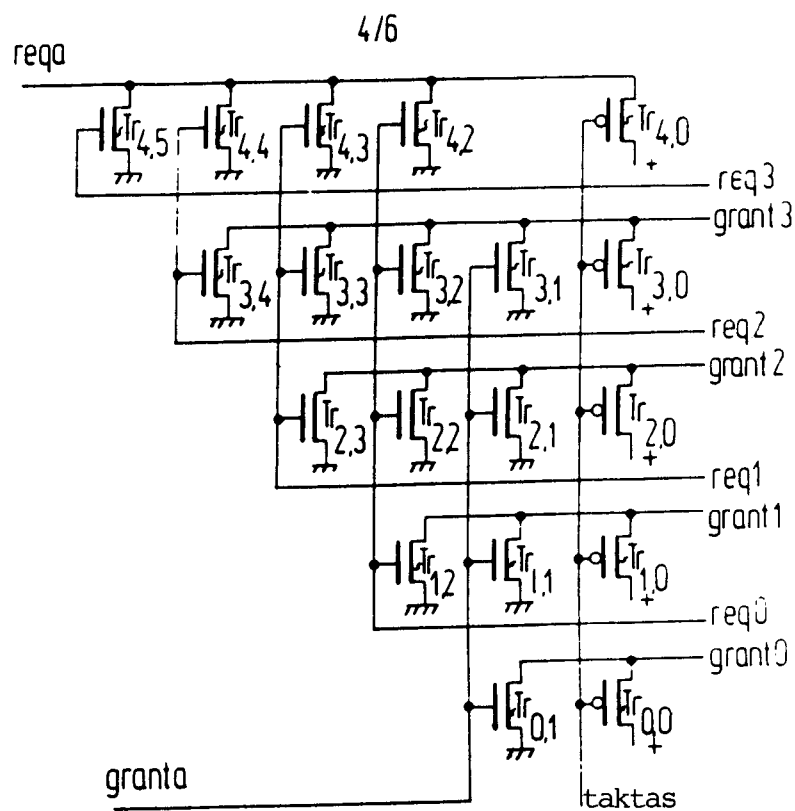


FIG. 7A

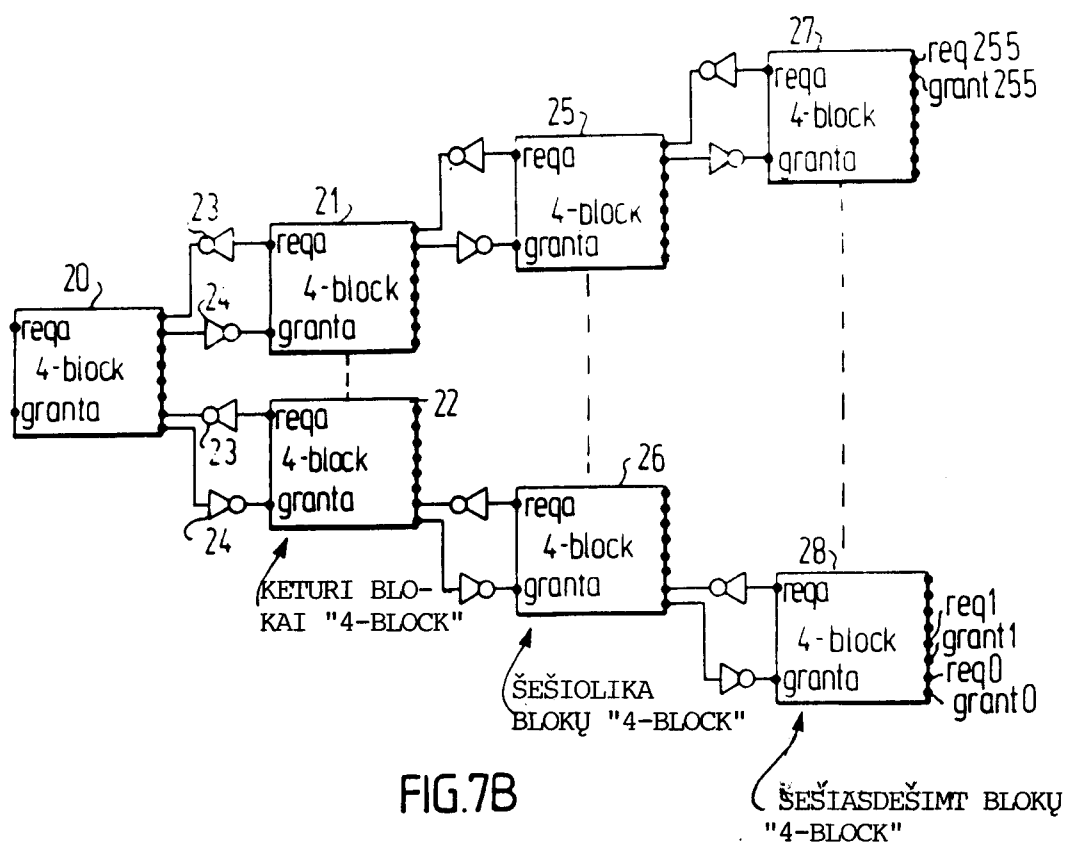


FIG. 7B

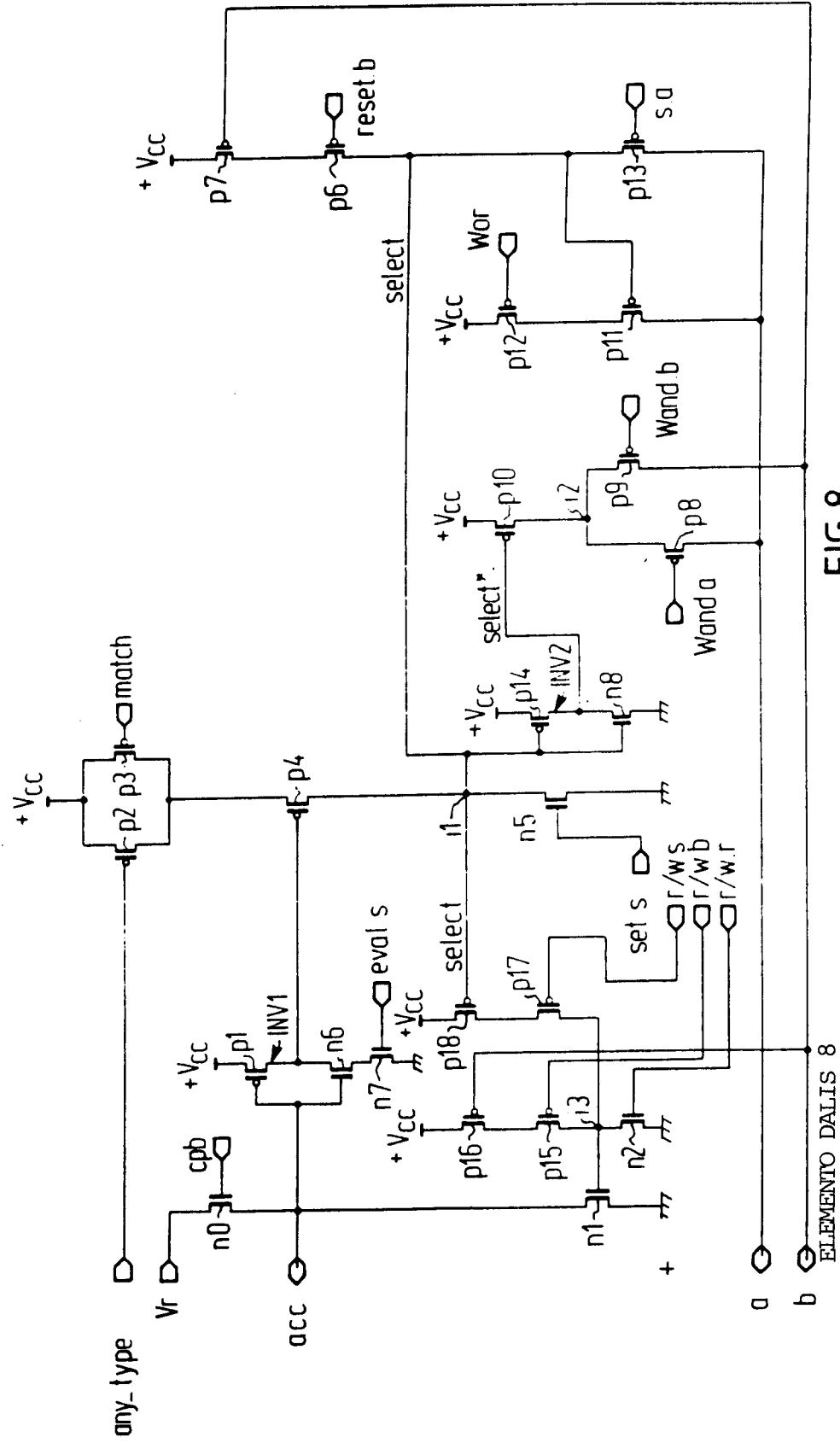


FIG. 8

ELEMENTO DALIS 8

